

Review Digital Logic

Eri Prasetyo

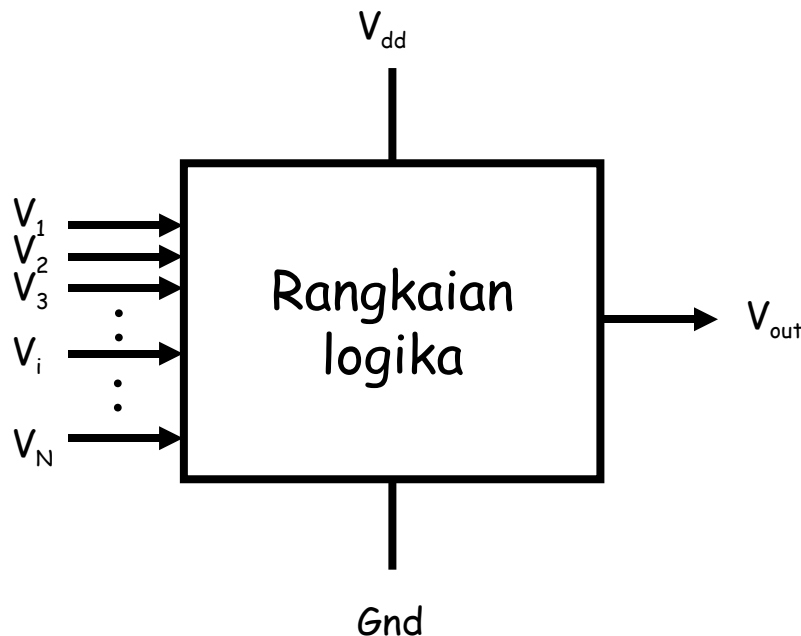
Gunadarma University

<http://eri.staffsite.gunadarma.ac.id>

<http://pusatstudi.gunadarma.ac.id/pscitra>

Definisi Gerbang logika

Rangkaian logika menghasilkan sebuah nilai luaran V_{out} dengan fungsi boolean masukan V_1, V_2, \dots, V_N

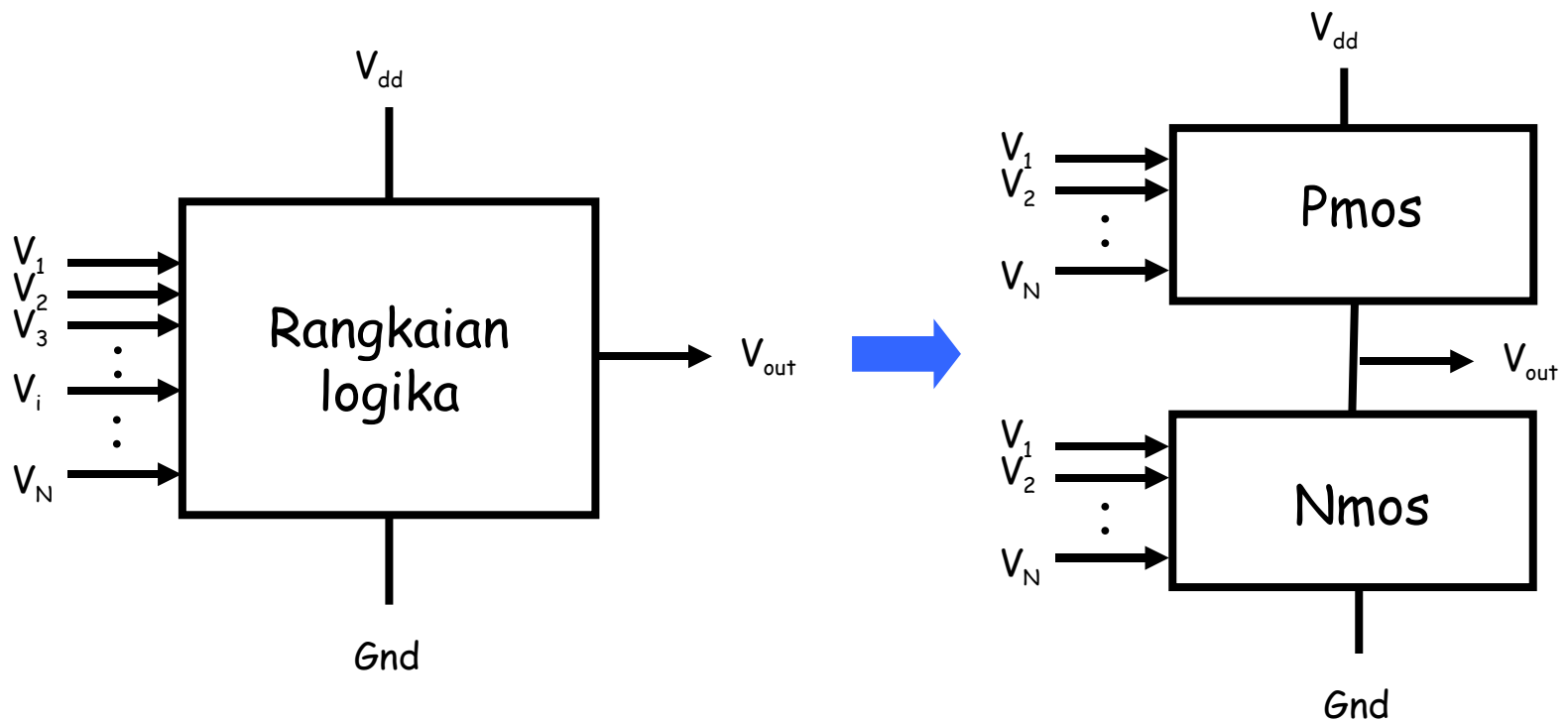


$V_{out} = "1"$ terhubung ke V_{dd}

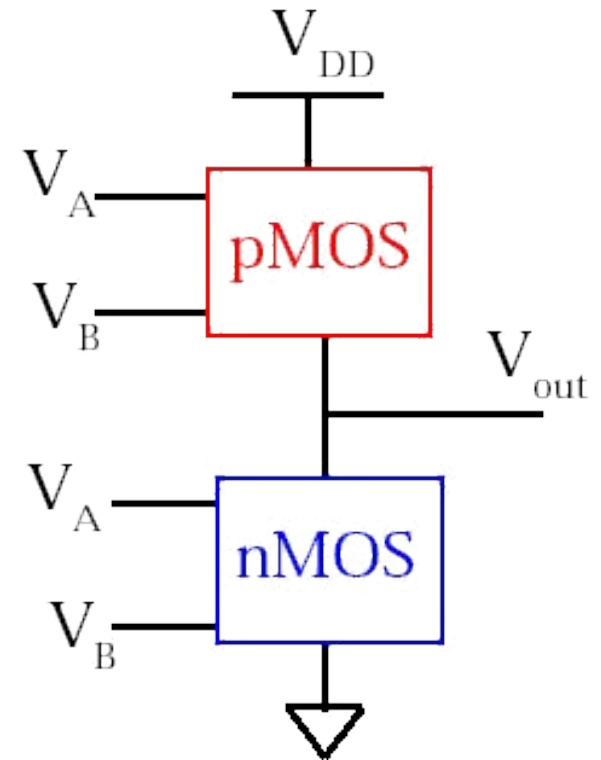
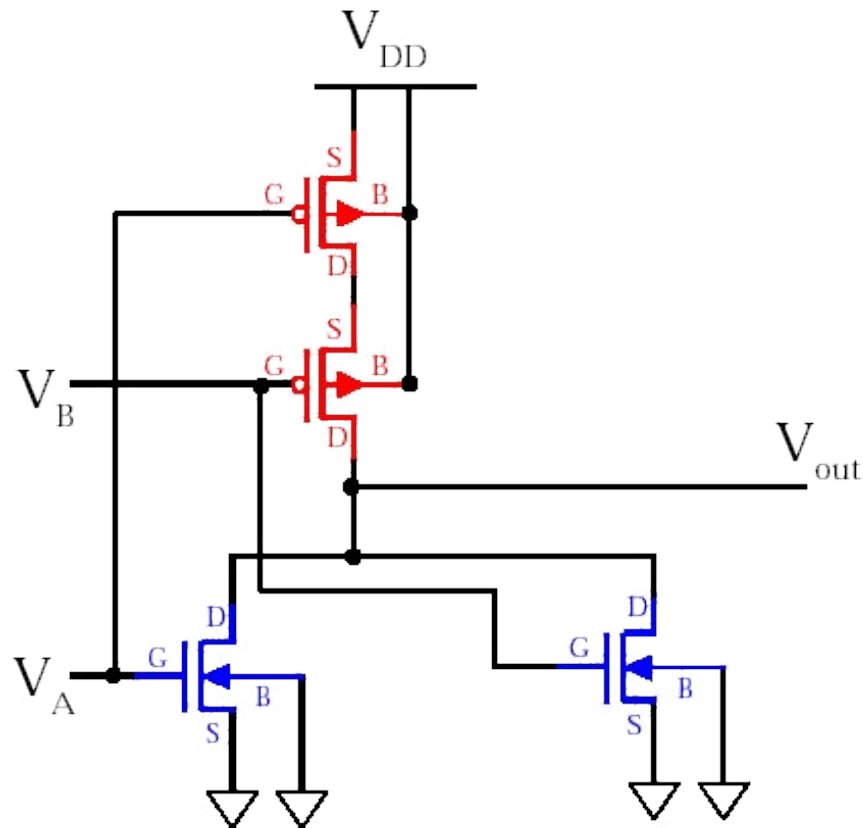
$V_{out} = "0"$ terhubung ke Gnd

Definisi Gerbang Logika

Rangkaian logika menghasilkan sebuah nilai luaran V_{out} dengan fungsi boolean masukan V_1, V_2, \dots, V_N

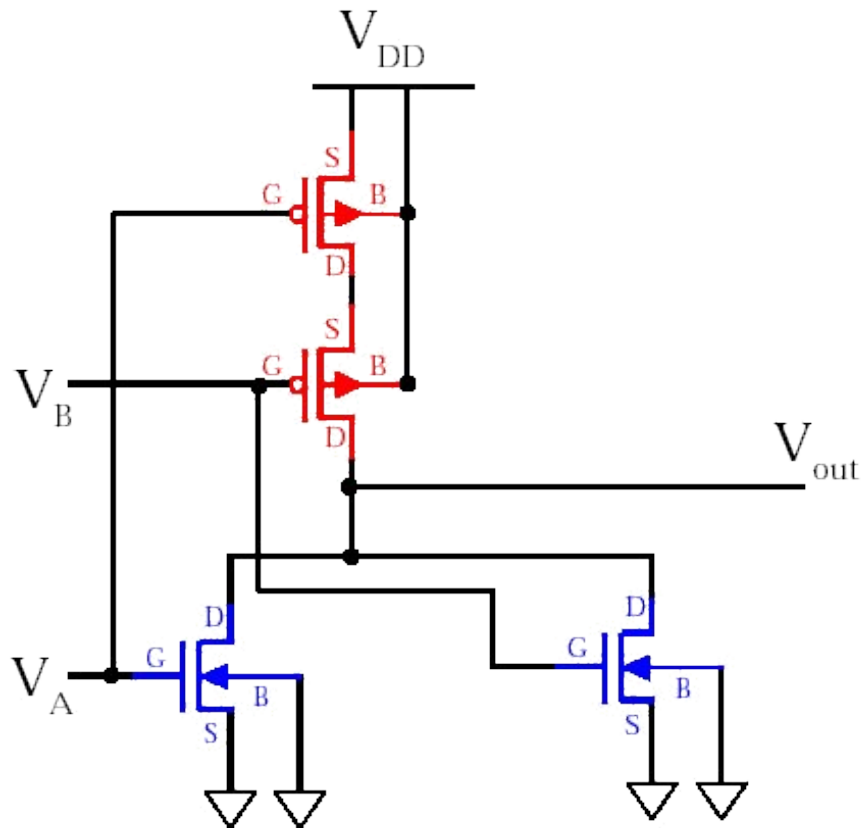


Contoh : NOR



1. Jaringan NMOS driven dan jaringan PMOS me-blok
2. Jaringan NMOS me-blok dan jaringan PMOS driven

Contoh dasar : NOR



Fungsi :

1. $V_a = 1$ dan/atau $V_b = 1$
satu dari 2 transistors
NMOS driven

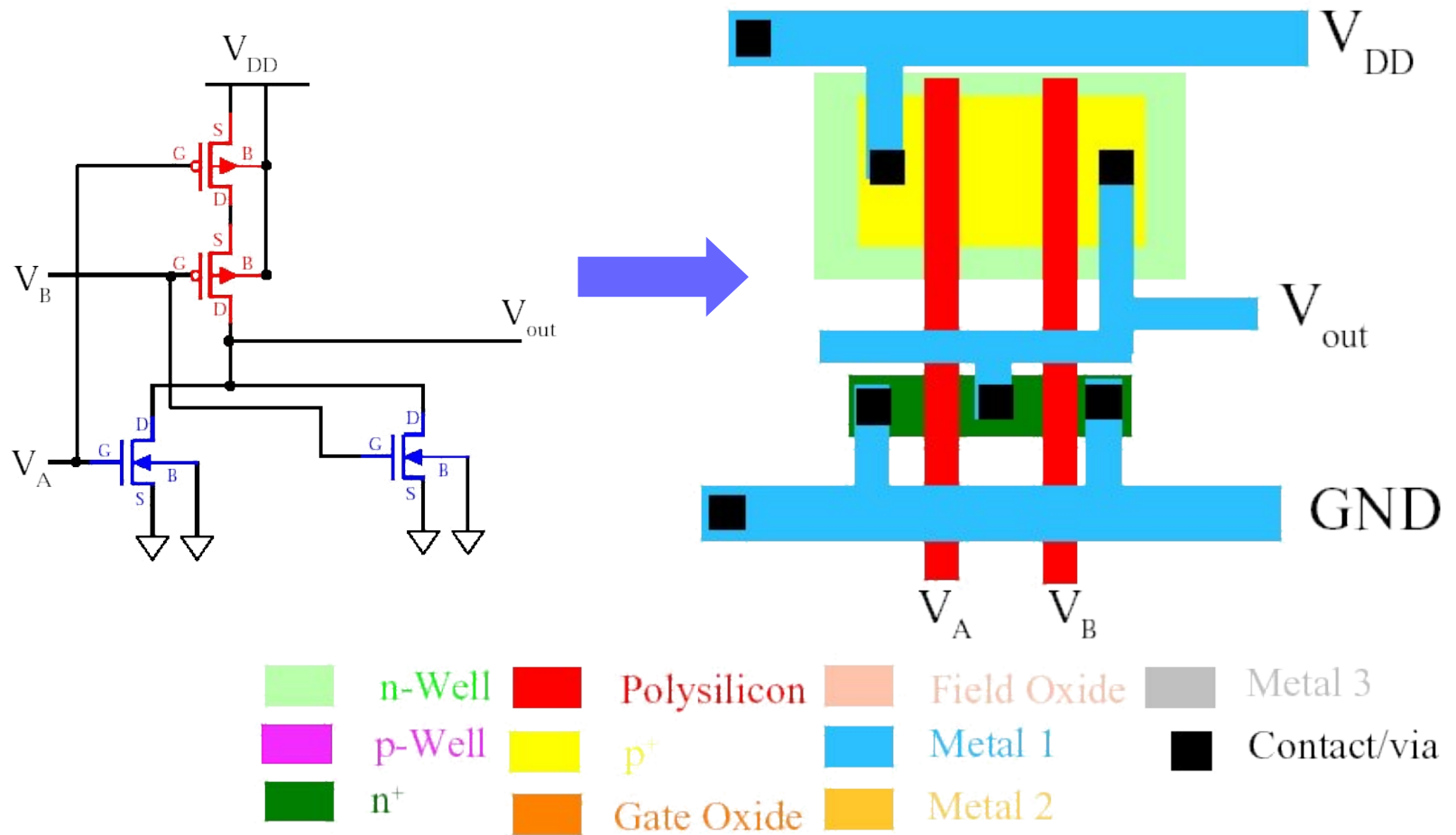
➡ $V_{out} = 0$

1. $V_a = 0$ dan $V_b = 0$

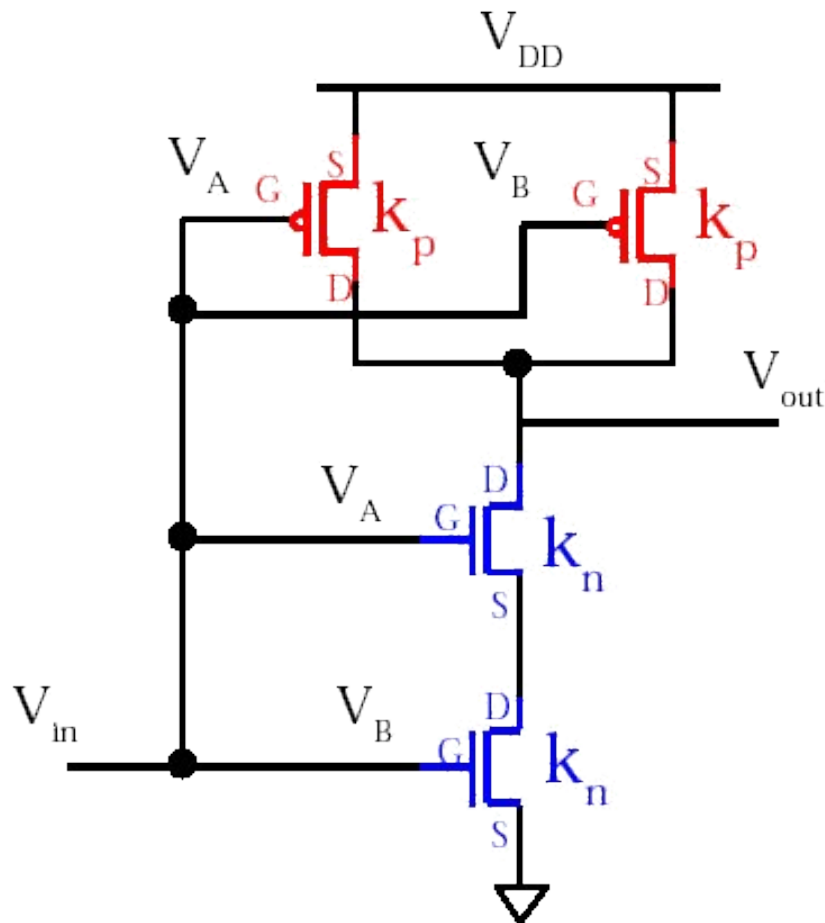
2 transistors PMOS
driven

➡ $V_{out} = 1$

Layout NOR



Contoh Lain : NAND



Fungsi :

1. $V_a = 1$ dan $V_b = 1$

2 transistors NMOS driven

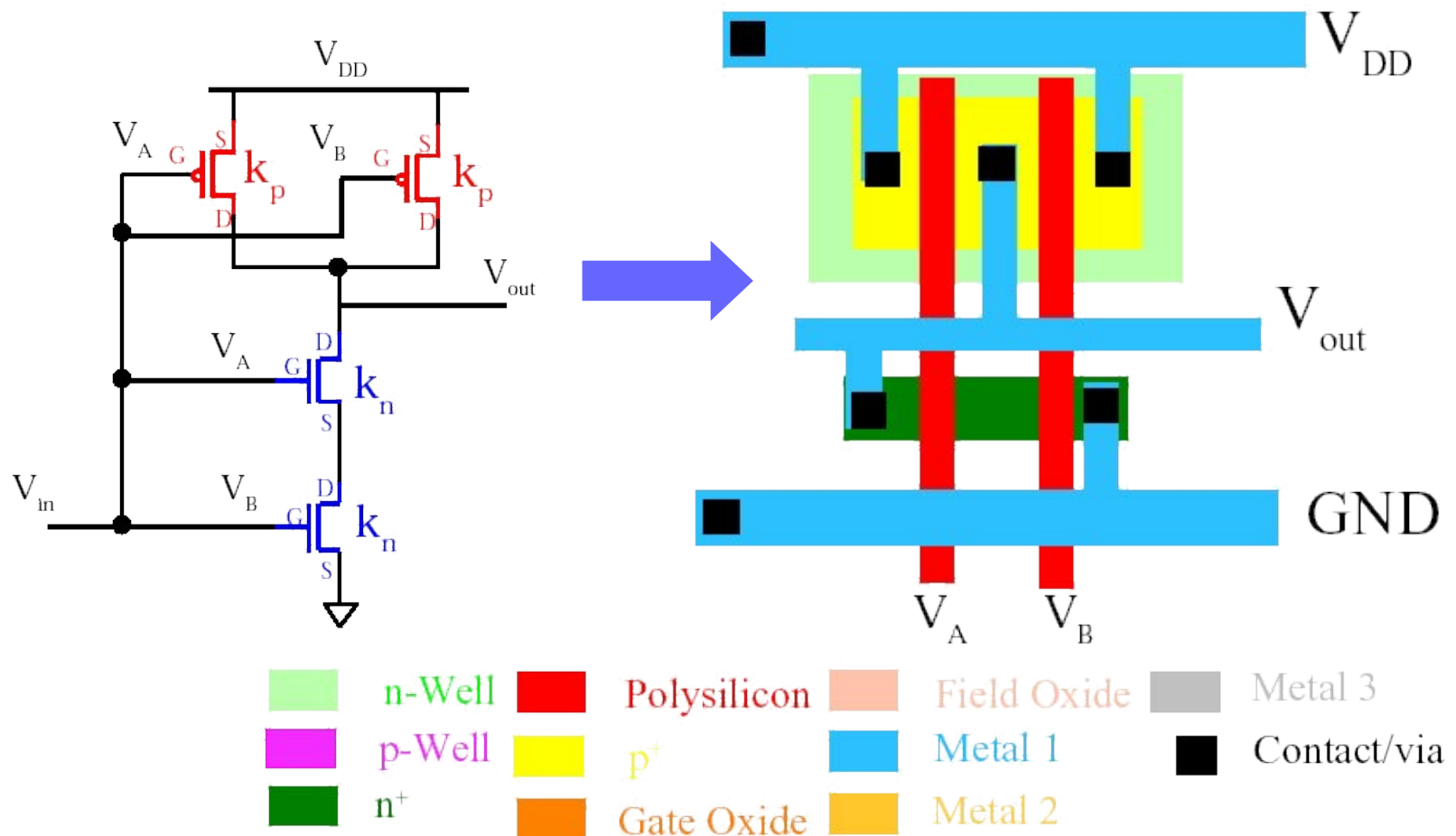
➡ $V_{out} = 0$

1. $V_a = 0$ dan/atau $V_b = 0$

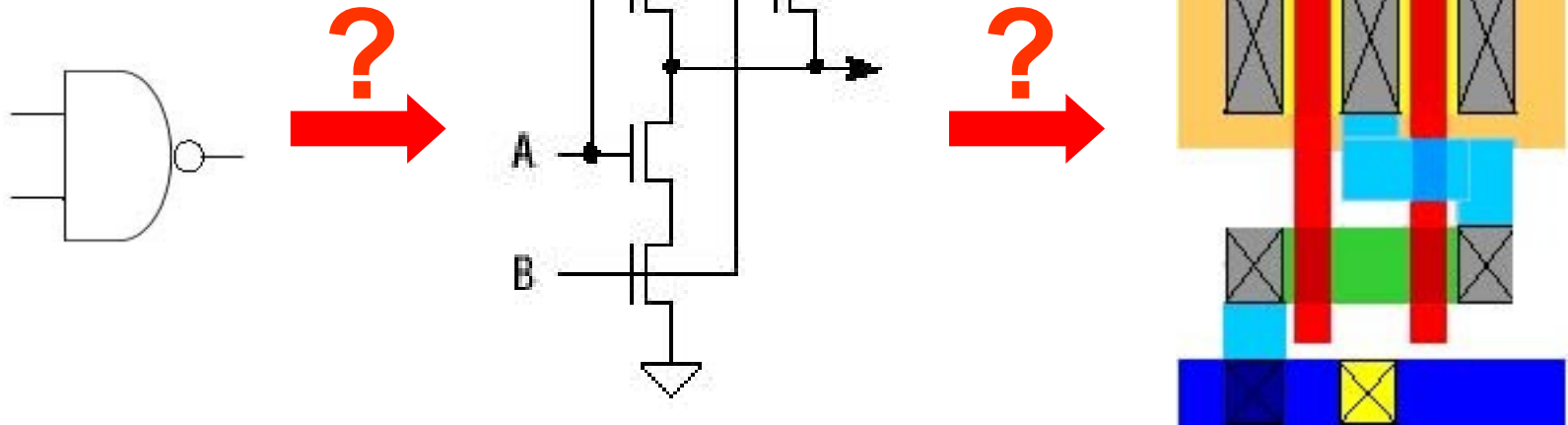
salah satu transistors PMOS conduit

➡ $V_{out} = 1$

Layout NAND

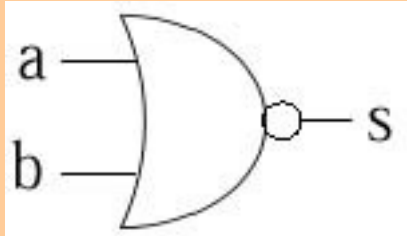


Contoh Desain gate



metodologi

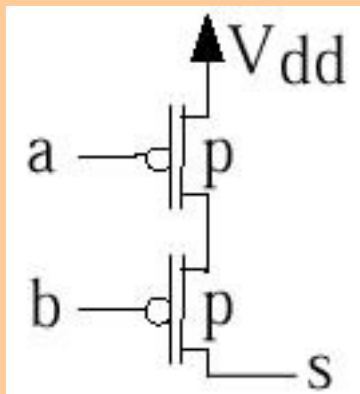
① gerbang logika



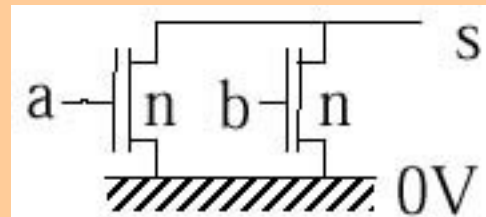
② fungsi logika

$$F = \overline{A + B}$$

④ jar. P

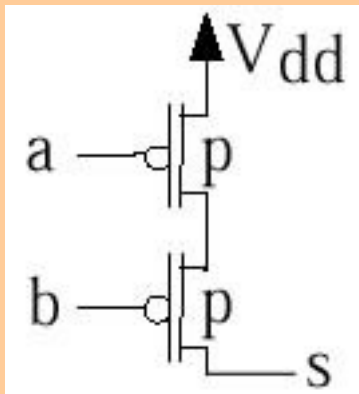


③ Jar. N

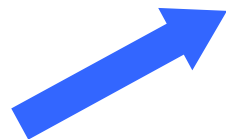
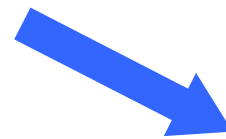
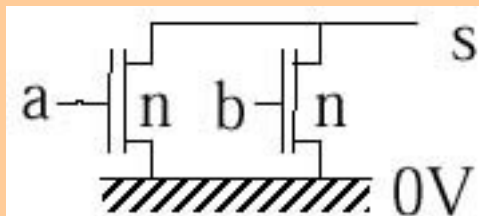


metodologi

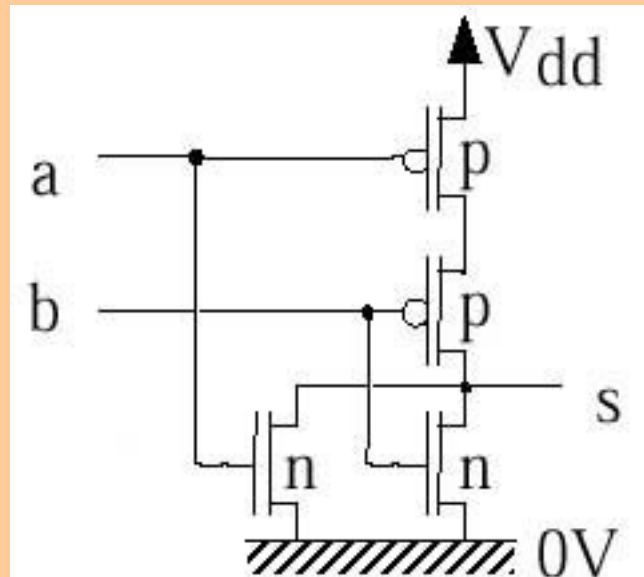
④ Jar. P



③ Jar. N

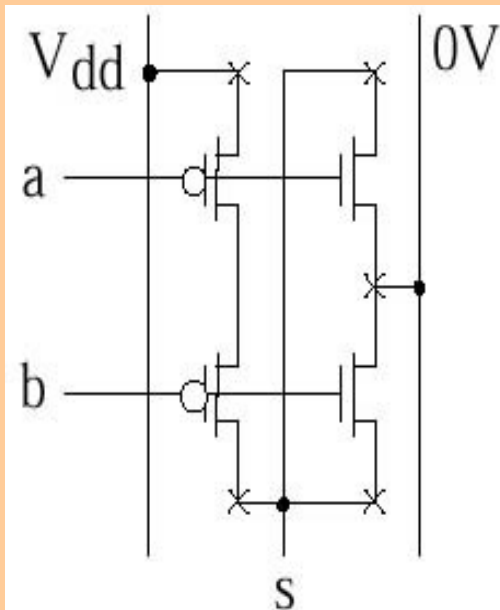


⑤ skematik

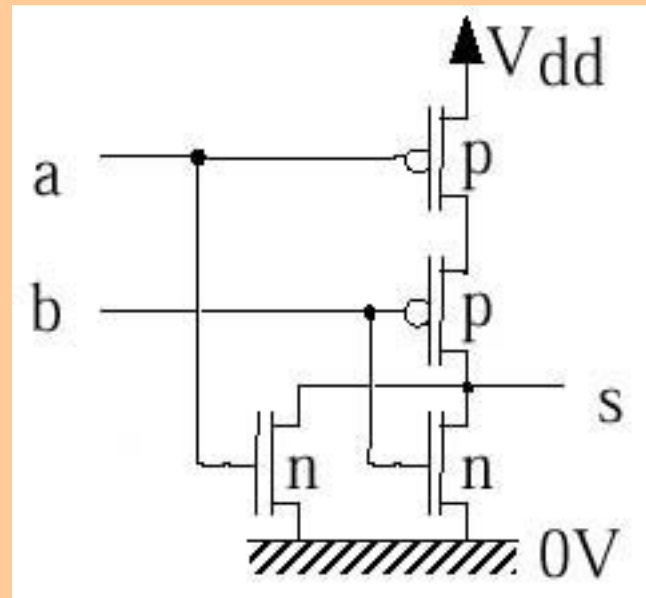


Méthodologie

⑥ Schéma symbolique

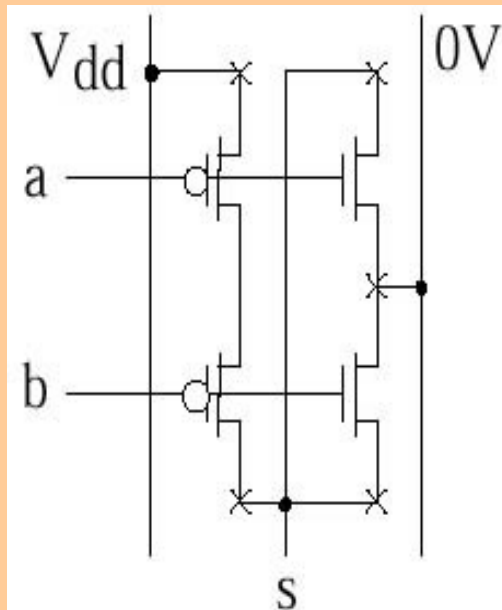


⑤ Schéma électrique

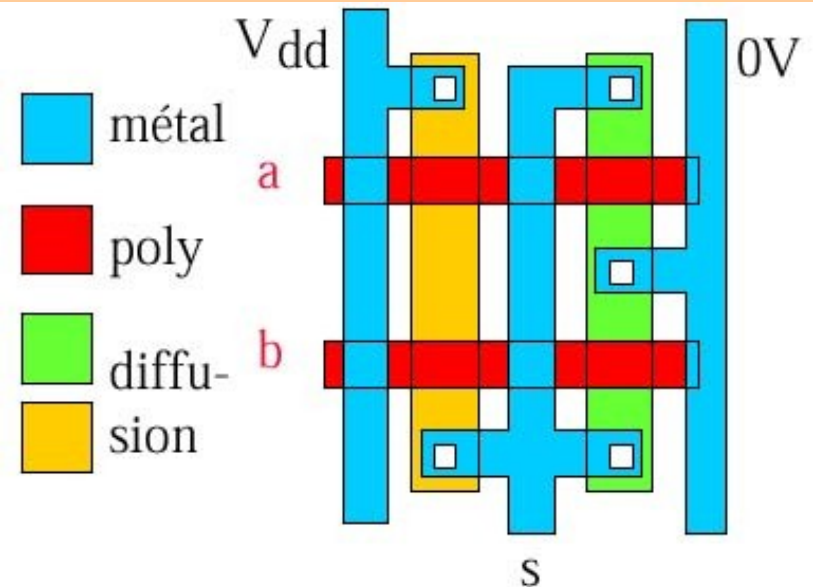


Méthodologie

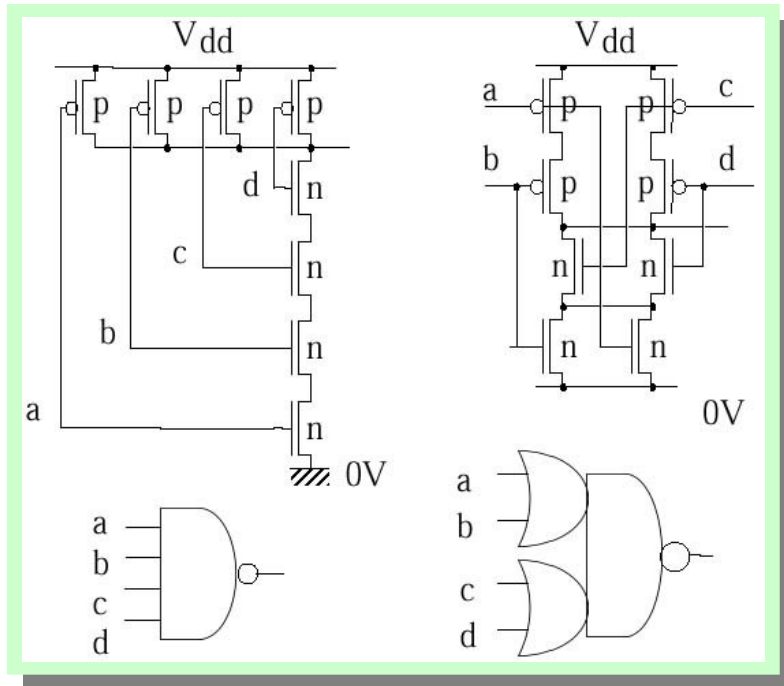
⑥ Schéma symbolique



⑦ Masque



Gerbang Kompleks

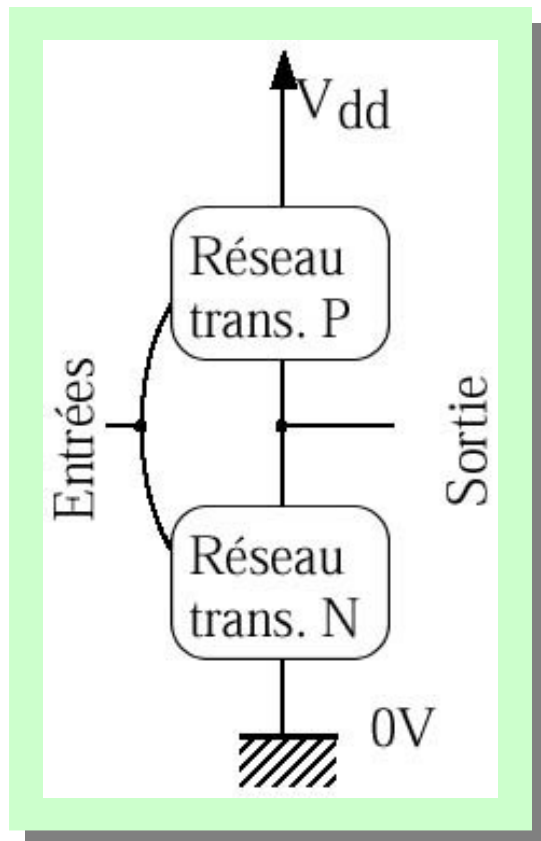


Examples :

$$F = \overline{A.B.C.D}$$

$$F = \overline{(A+B) . (C+D)}$$

Desain gerbang logika kompleks



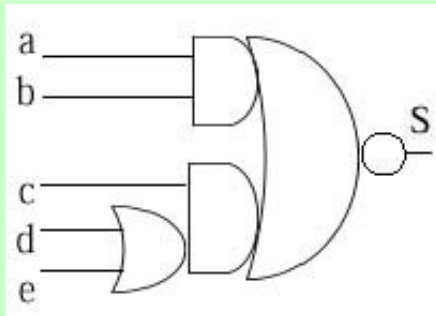
jaringan **P** menggambarkan luaran **1**
jaringan **N** mempunyai luaran **0**

Jaringan N et P **komplementer**
→ satu dari dua jaringan
driven

Rangkaian Logika

Pertama ekspresi logika , kita bangun dari jaringan transistor tipe N

Exemple :



$$S = \overline{(A.B) + (C.(D+E))}$$

NMOS melewatkan arus jika
luarannya = **1**

$$\overline{S} = (A.B) + (C.(D+E))$$

Bagaimana merealisasikan lebih lanjut ?

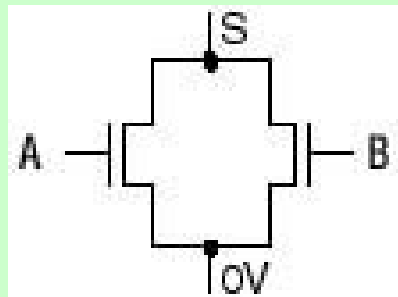
Fungsi NMOS

2 kemungkinan : logika OR dan logika And

Logika OR :

$S = 0$ jika $A = 1$ atau $B = 1$

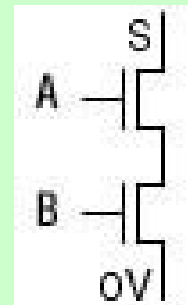
NMOS
kondisi
paralel



Logika And :

$S = 0$ jika $A = B = 1$

NMOS
kondisi
seri

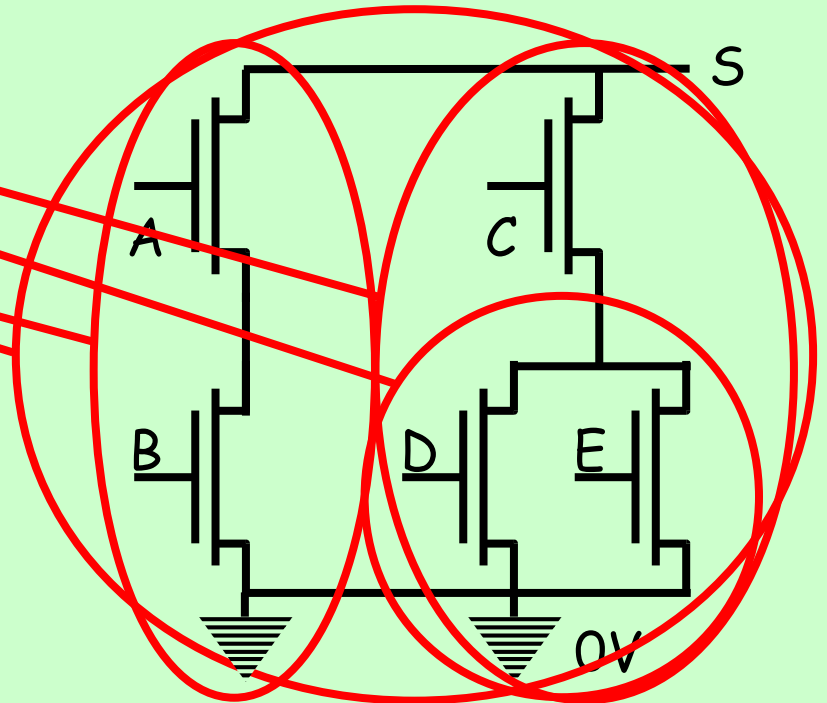


Desain jaringan NMOS

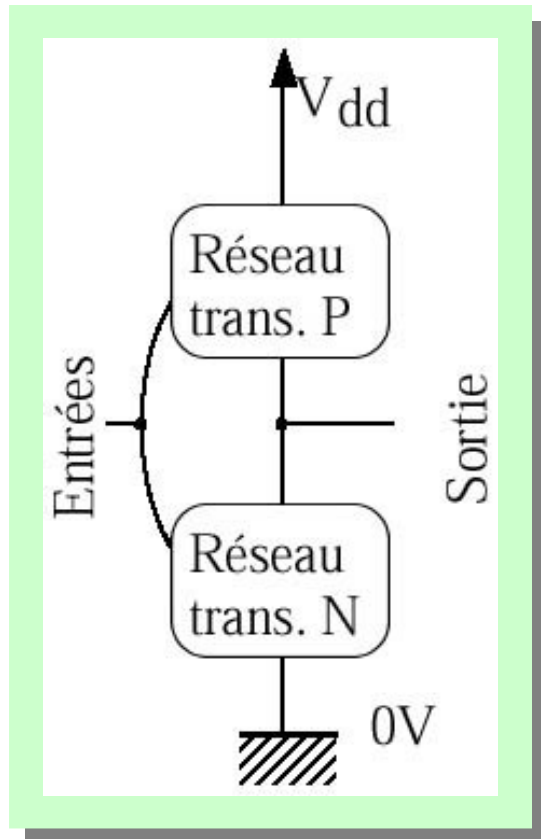
OR : Transistors paralel

And : Transistors seri

$$\overline{S} = (A.B) + (C.(D+E))$$



Disain Jaringan PMOS



3 metode disain :

1 - **Croiser** les règles du réseau NMOS

2 - **Exprimer** la fonction logique avec les entrées complémentées et **utiliser** les **mêmes règles** que pour le réseau NMOS

3 - **Construire** le **graphe dual** du réseau NMOS

Conception du réseau PMOS

Méthode 1 : On **croise** les règles

Réseau N

OU : Transistors
en **parallèle**

ET : Transistors
en **série**



Réseau P

OU : Transistors
en **série**

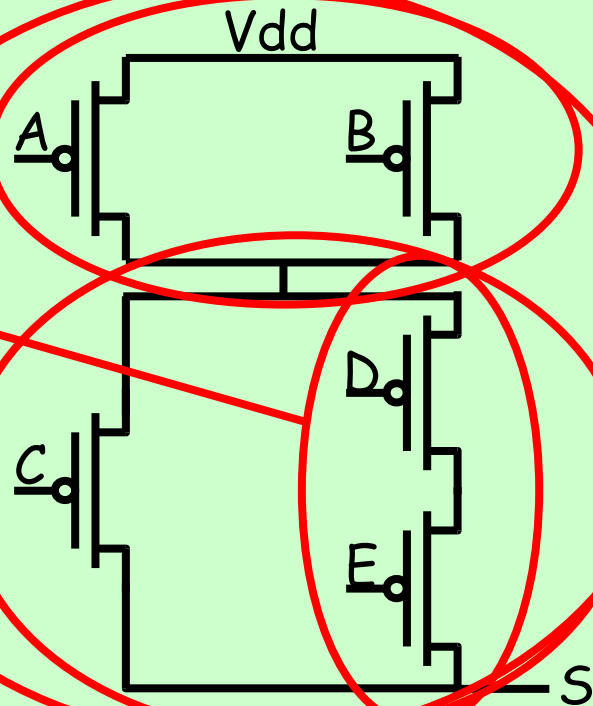
ET : Transistors
en **parallèle**

Desain jaringan PMOS

Or : Transistors seri

And : Transistors paralel

$$\overline{S} = (A.B) + (C.(D+E))$$



Desain jaringan PMOS

Metode 2 : menggunakan metode komplemen

PMOS melewati jika $\text{input} = 0$ $\overline{\text{input}} = 1$

ingat : $\overline{A \cdot B} = \overline{A} + \overline{B}$ dan $\overline{A + B} = \overline{A} \cdot \overline{B}$

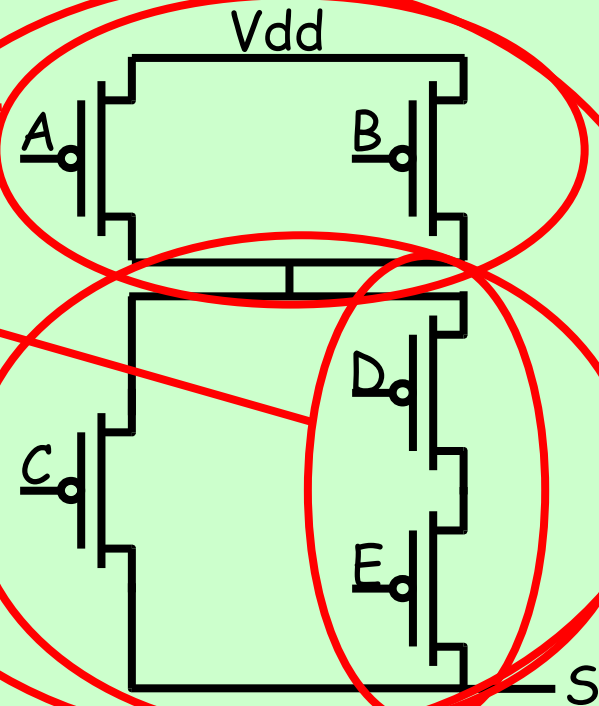
$$S = \overline{(A \cdot B) + (C \cdot (D + E))} \quad \longrightarrow \quad S = \overline{(A \cdot B)} \cdot \overline{(C \cdot (D + E))}$$

$$S = (\overline{A} + \overline{B}) \cdot (\overline{C} + \overline{(D \cdot E)}) \quad \longleftarrow \quad S = (\overline{A} + \overline{B}) \cdot (\overline{C} + \overline{(D + E)})$$

Desain Jaringan PMOS

$$S = \overline{(A.B) + (C.(D+E))}$$

$$S = (\overline{A+B}) \cdot (\overline{C + (D.E)})$$

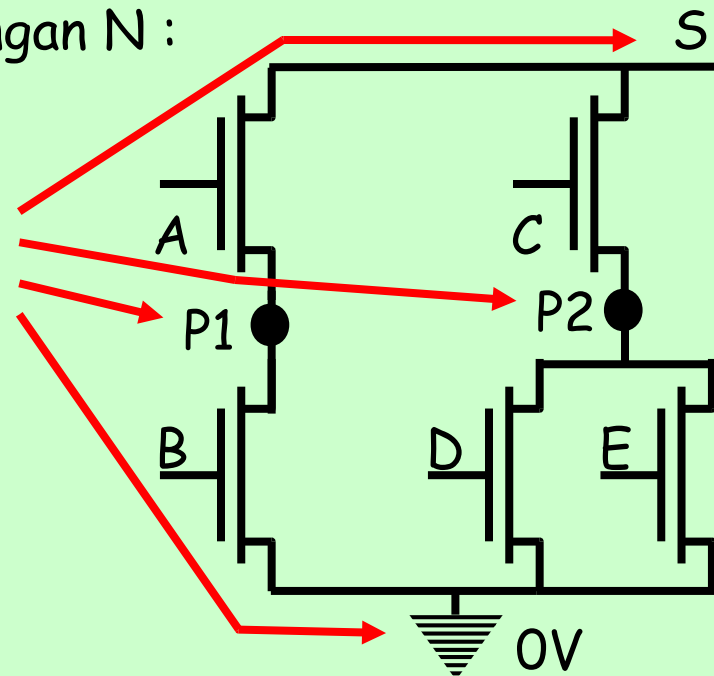


Desain jaringan PMOS

Metode 3 : trace **graph** pada jaringan NMOS

Definisikan graph pd jaringan N :

Puncak dari graph adalah
Sebuah potensial jaringan

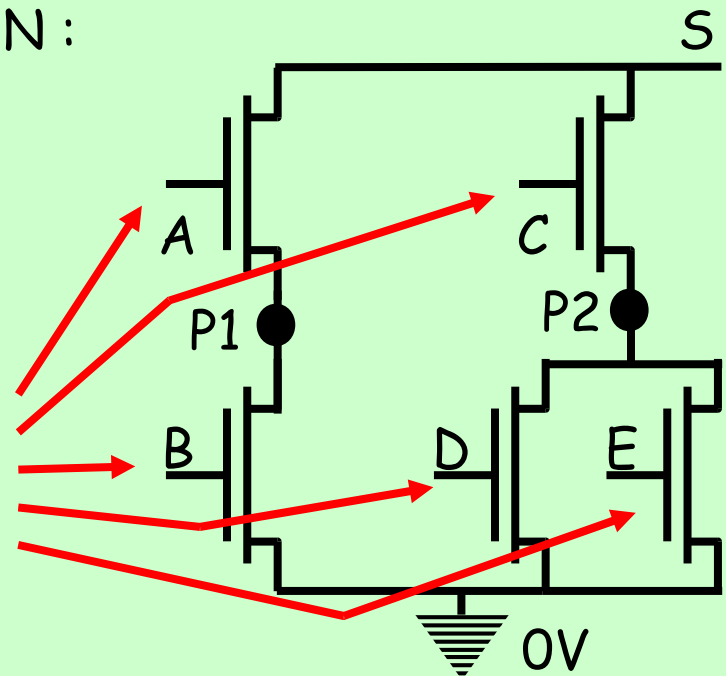


Desain jaringan PMOS

definisi graph di jaringan N :

Puncak graph adalah
Sebuah potensial jaringan

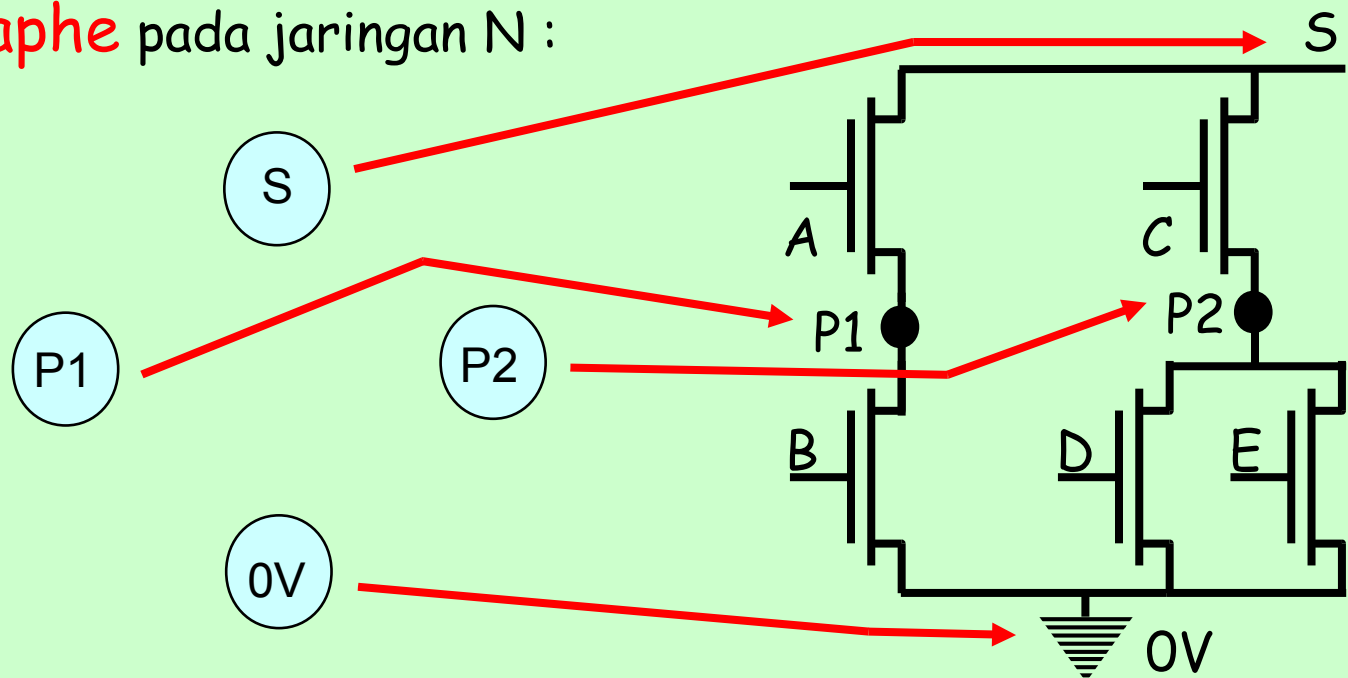
arc dari graph adalah
rangkaian **transistor N**



Desain jaringan PMOS

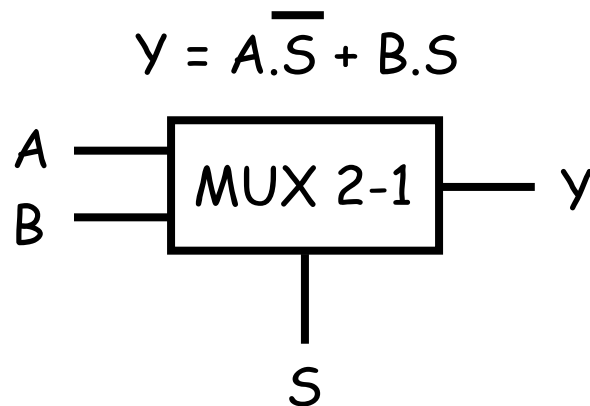
hasil : 4 puncak dan 5 arcs

Graphe pada jaringan N :

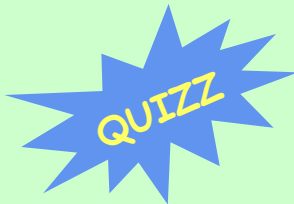


Gerbang yang lebih besar

Multiplexers N - 1

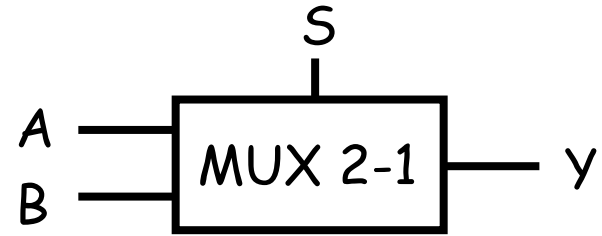


A	0	0	1	1	0	0	1	1
B	0	1	0	1	0	1	0	1
S	0	0	0	0	1	1	1	1
Y	0	0	1	1	0	1	0	1



Berapa banyak transistor yang diperlukan untuk merealisasikan MUX 2 - 1 ?

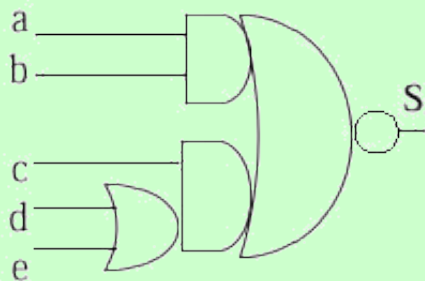
Multiplexer 2 - 1



QUIZZ

solusi ;-)

- a - belum mengerti ?
- b - ini bukan untuk saya !
- c - berfikir ...



Definisikan satu gerbang kompleks

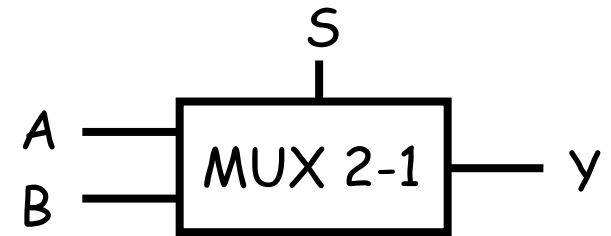


gerbang kompleks = dirancang dari komplemen OR, AND



Diperlukan pengulangan lagi

Multiplexer 2 - 1



QUIZZ

Solusi akhir ;-)

$$Y = (\overline{\overline{A}} + S) \cdot (\overline{\overline{B}} + \overline{\overline{S}})$$

resume

3 input inverter A, B et S

4 fungsi input

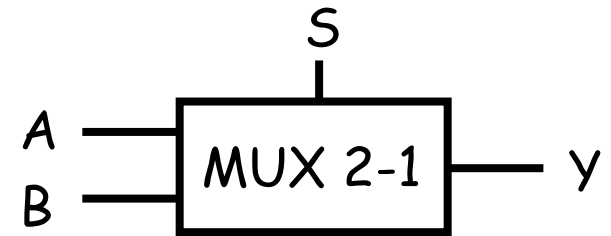
$\overline{\overline{A}}$, $\overline{\overline{B}}$, S et $\overline{\overline{S}}$



Banyaknya transistor =

$$3 * 2 + 2 * 4 = 14$$

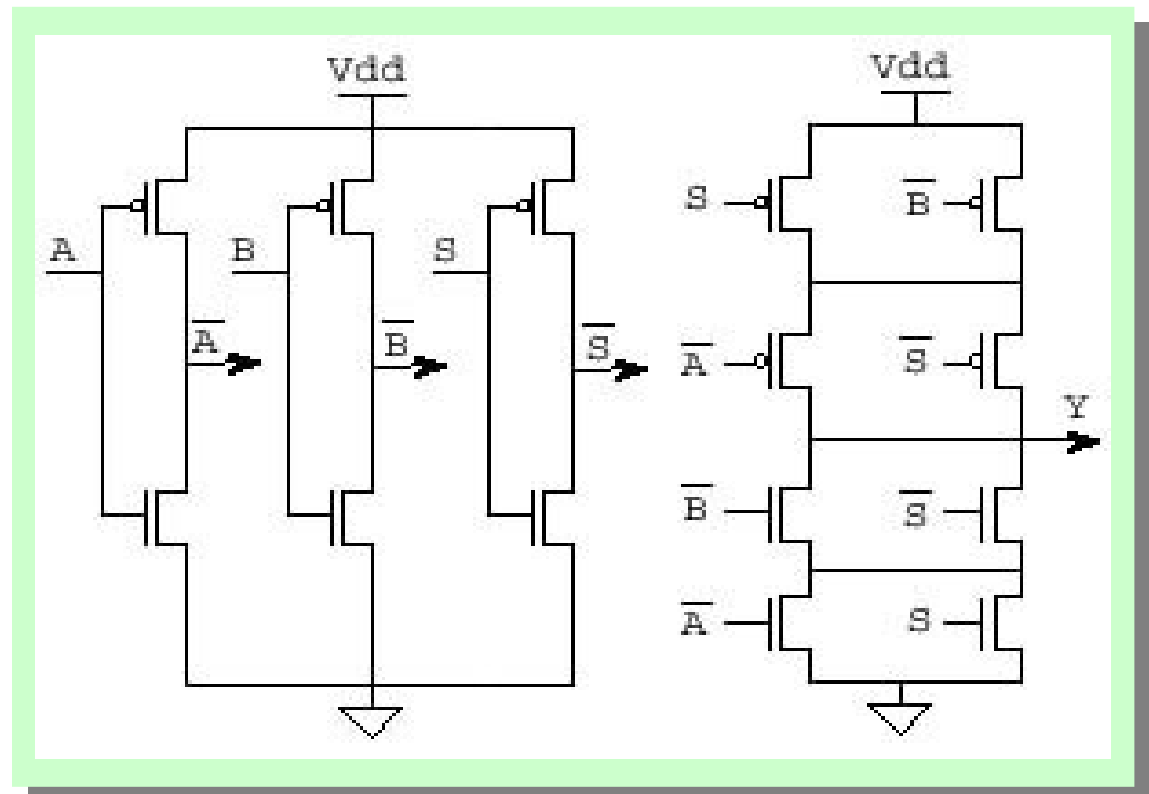
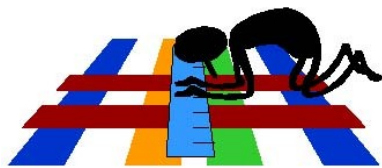
Multiplexer 2 - 1



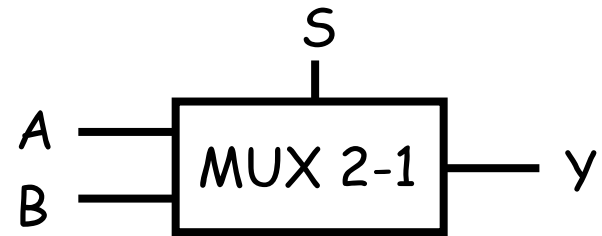
solusi akhir ;-)

Terlalu kompleks ?

tidak ??



Multiplexer 2 - 1



Solusi lebih sederhana ?

$Y = A.S + B.S$ memerlukan 8 transistors

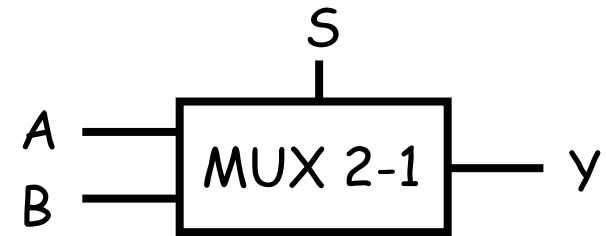
Kita tambahkan inverter dengan dua transistor
total 10 transistors.



QUIZZ

Tetapi apakah tidak dapat lebih ringkas lagi?

Multiplexeur 2 - 1

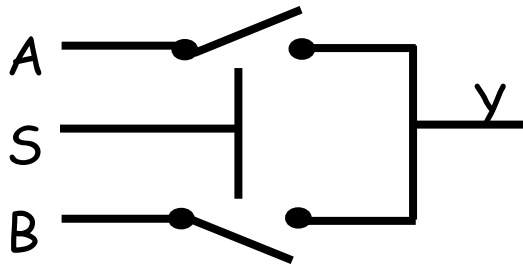


Solusi lain ?

Lihat fungsi logik dari MUX :

$$Y = A \cdot \overline{S} + BS$$

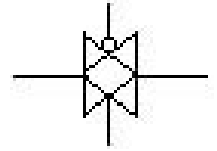
Fungsi dari **S**, kita dapatkan **A** atau **B** pada luaran



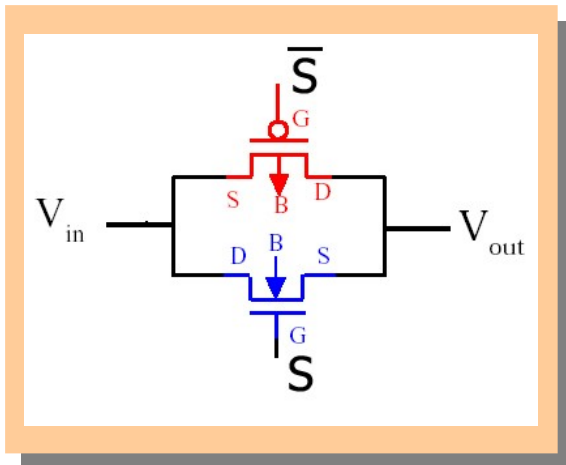
S mengendalikan 2 saklar masukan pada keluaran

transistors **MOS** tak dapat didefinisikan pada **saklar** ?

Sebuah saklar bernama TG



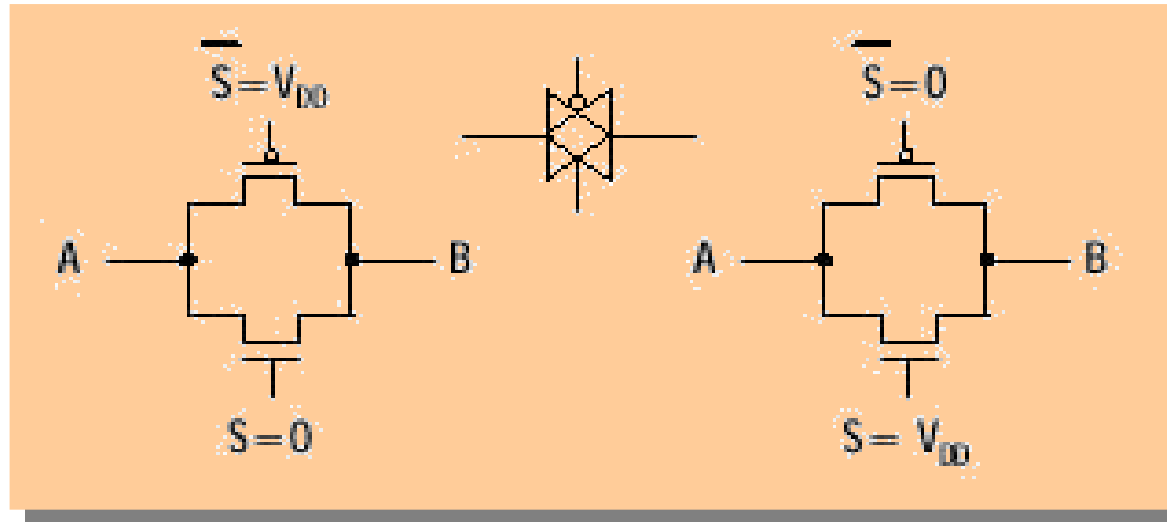
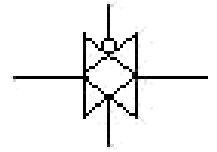
Gerbang transmisi (TG) sebuah saklar digunakan untuk lewat atau blok **sebuah signal** dalam circuit



Dibentuk dari **2** transistors **MOS** komplementer **disusun paralel**

Dikendalikan oleh **signal** komplementer **S** dan **S-bar**

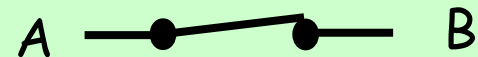
Fungsi dari TG



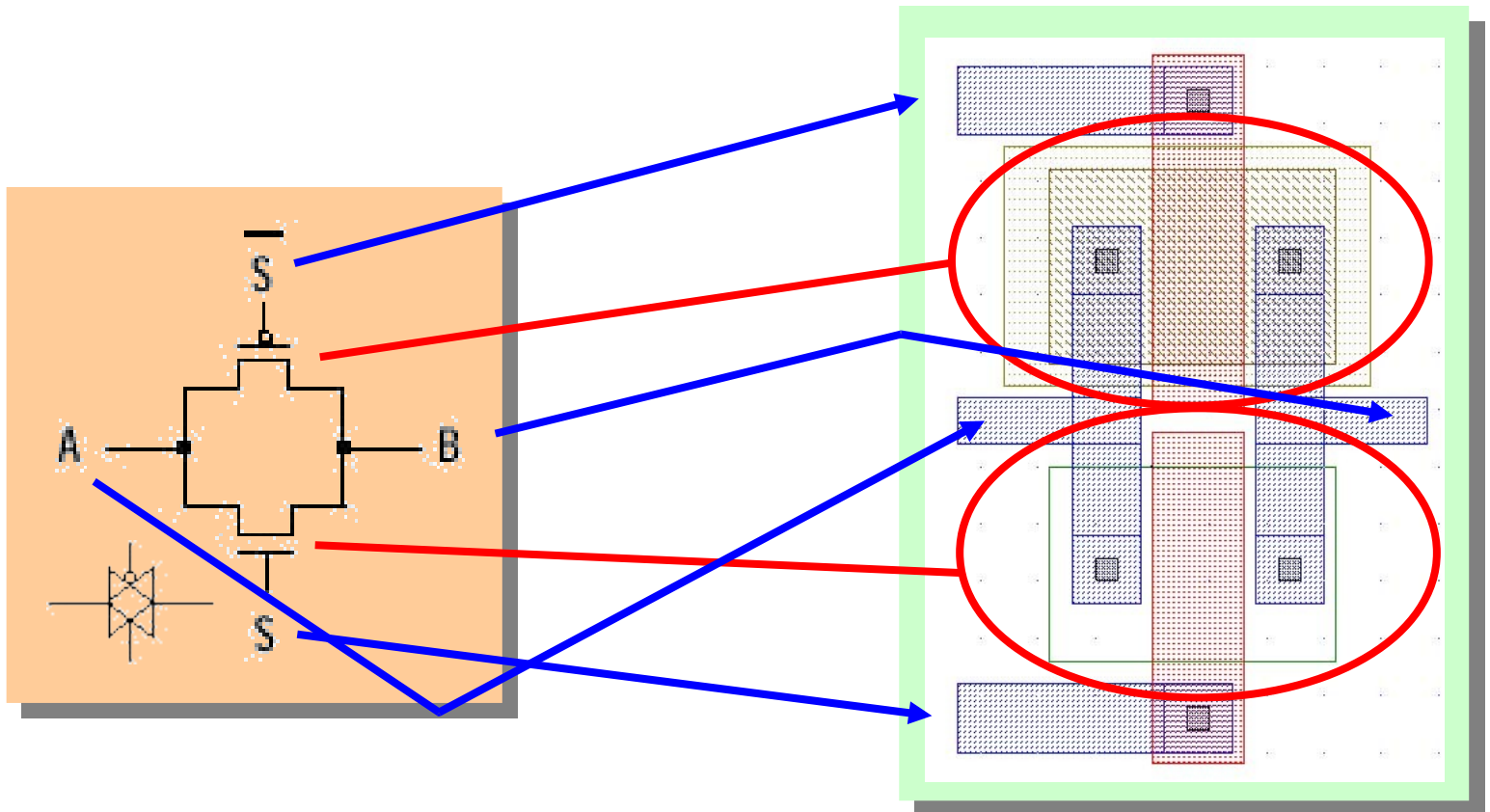
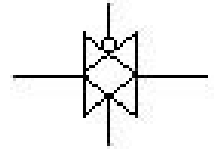
$S = 0$ dan $\overline{S} = V_{dd}$



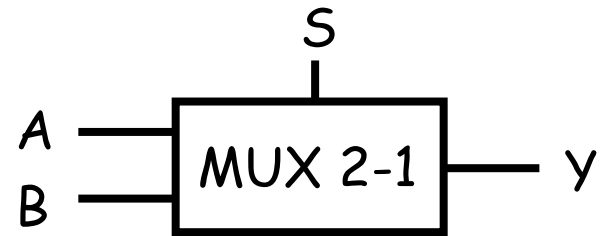
$S = V_{dd}$ dan $\overline{S} = 0$



Layout dari TG

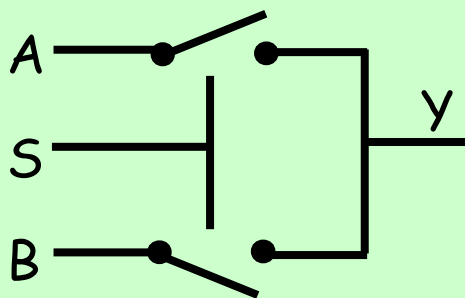


Multiplexeur 2 - 1



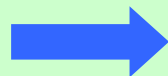
review : methode **classique** desain multiplexer memerlukan **14 Transistors MOS** :

- ✓ **6 transistors** untuk input inverter
- ✓ **8 transistors** untuk logic circuit



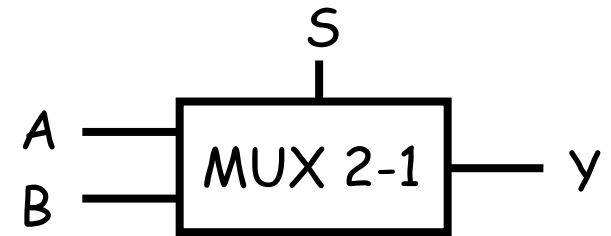
Methode TG : memerlukan **6 Transistors**

- ✓ **2 saklar** untuk TG sama dengan **4 transistors**
- ✓ **2 transistors** signal kendali S inverter

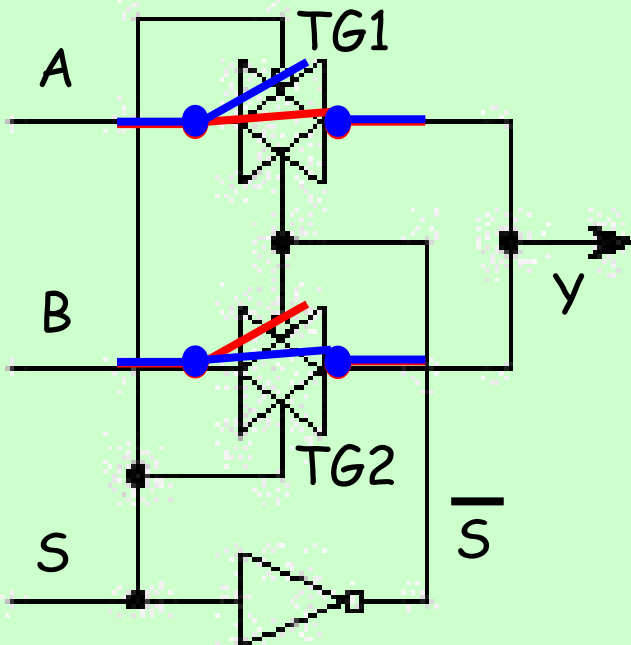


Optimum permukaan circuit

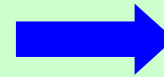
Multiplexeur 2 - 1



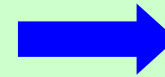
Final :



$S = 0$



TG1 pass
TG2 block



$Y = A$

$S = 1$

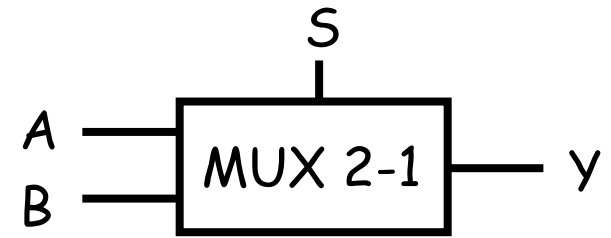


TG1 block
TG2 pass

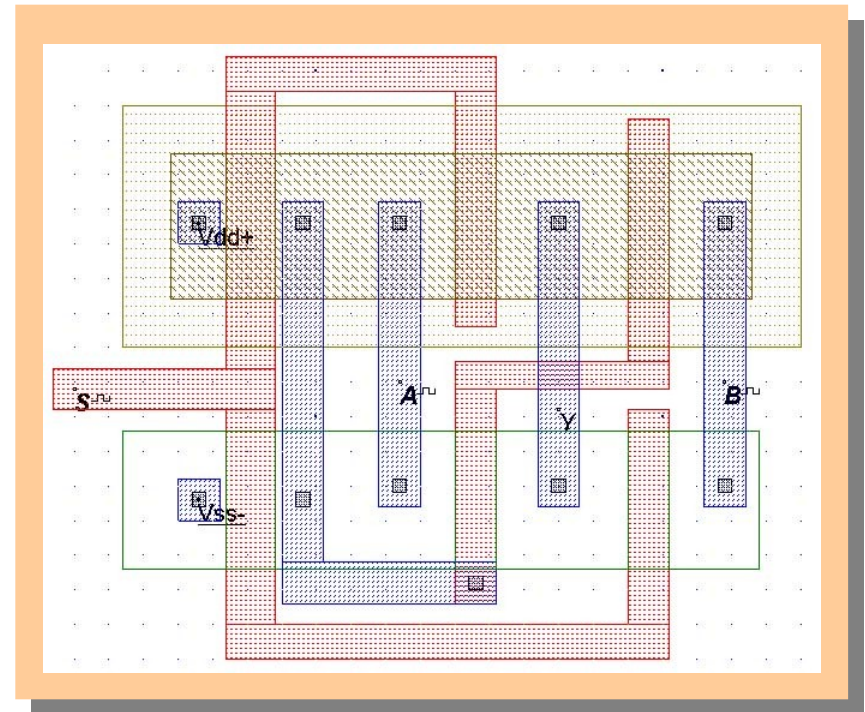
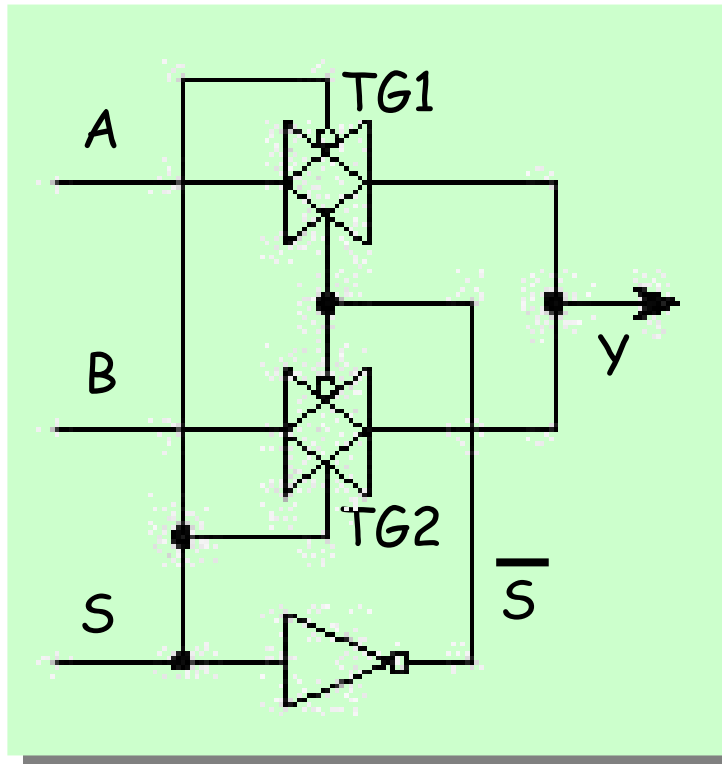


$Y = B$

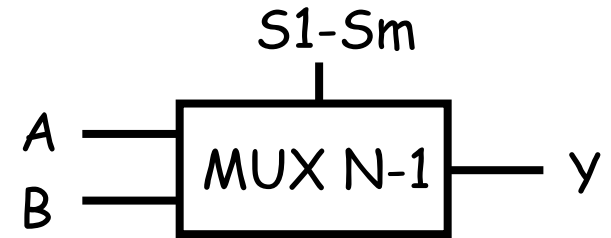
Multiplexeur 2 - 1



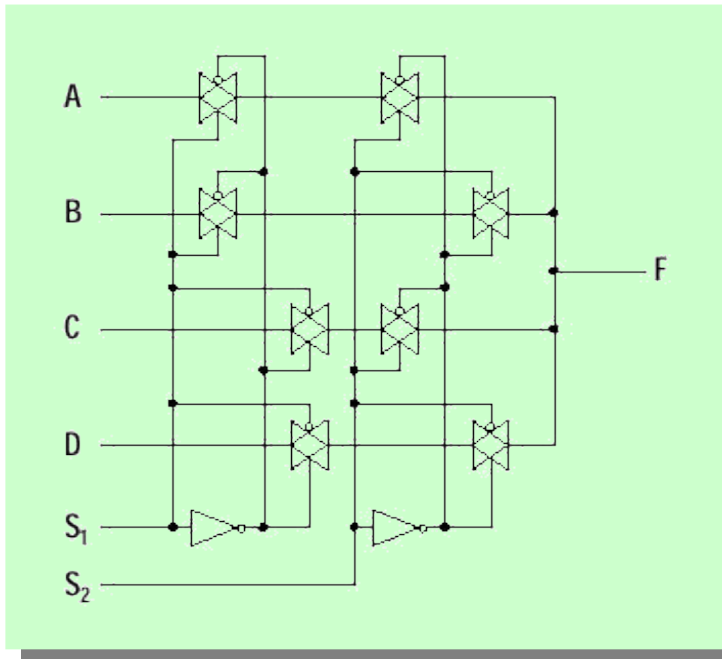
Version Layout :



Multiplexeur N - 1



Kita dapat membuat **MUX** lebih kompleks :



Example **MUX 4-1** :

2 signal seleksi : S_1, S_2

2 inverter signal seleksi

8 gerbang transmisi

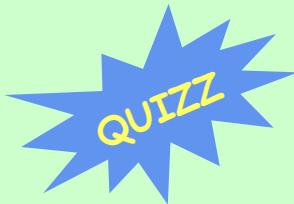
dan jika kita bicara XOR ?

XOR :



$$Y = A \oplus B = \overline{A} \cdot B + A \cdot \overline{B}$$

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0



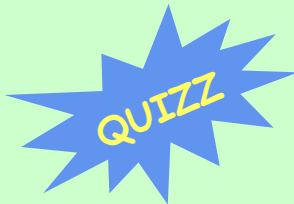
Berapa transistors yang dibutuhkan XOR ?

XOR



Kita lihat persamaan akhir

$$Y = A \oplus B = \overline{A} \cdot B + A \cdot \overline{B} \quad \longrightarrow \quad Y = \overline{\overline{\overline{A} \cdot B + A \cdot \overline{B}}}$$
$$\quad \longleftarrow \quad Y = \overline{\overline{A} \cdot B \cdot A \cdot \overline{B}}$$
$$Y = \overline{(A + \overline{B}) \cdot (\overline{A} + B)}$$



Berapa transistor ?

$$\text{jawab : } 4 * 2 + 2 * 2 = 12$$

XOR (version TG)

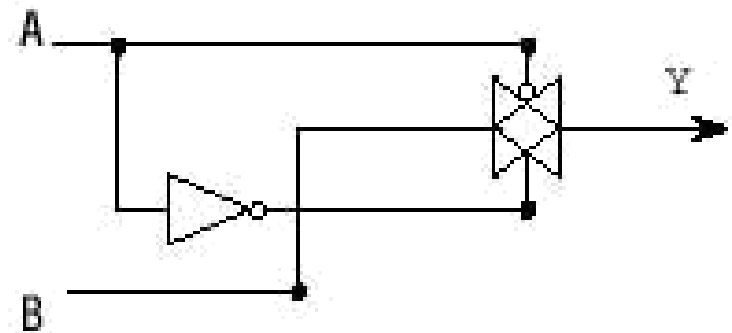


Apakah bisa lebih optimum

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

$A = 0 \rightarrow Y = B$

TG input B dan Y diatur oleh A pada PMOS dan A pada NMOS



2 + 2 = 4 transistors

XOR (version TG)

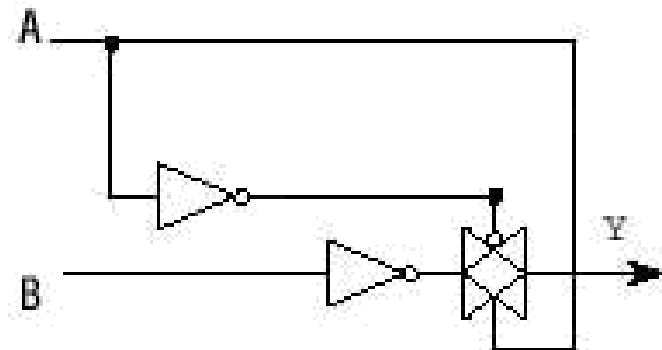


A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

2 cas dissociables

$$A = 1 \longrightarrow Y = \overline{B}$$

TG input \overline{B} & Y diatur oleh A pada NMOS dan A pada PMOS

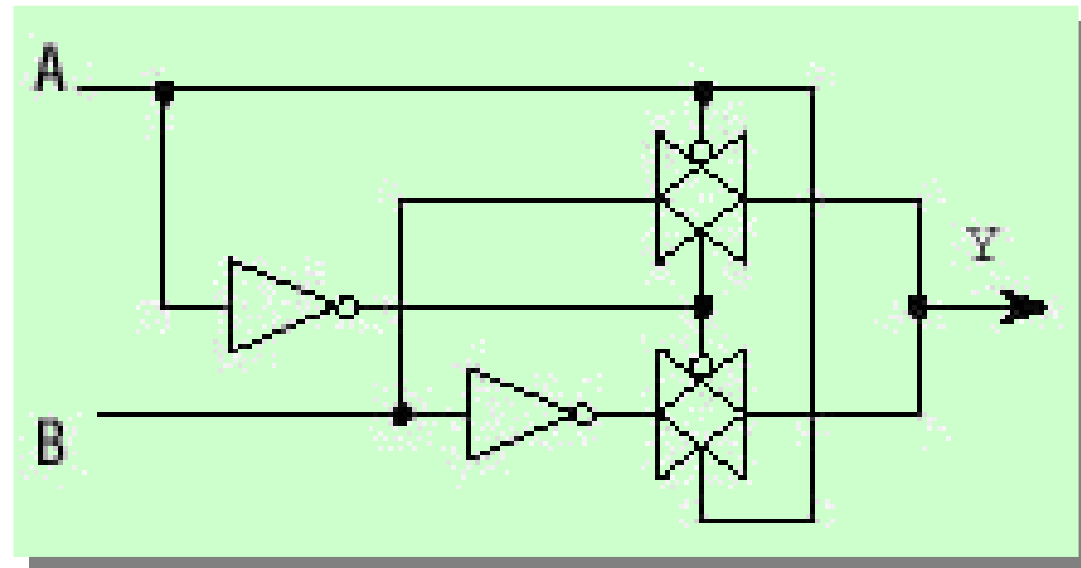


$$2 * 2 + 2 = 6 \text{ transistors}$$

XOR (version TG)



final :



8 transistors

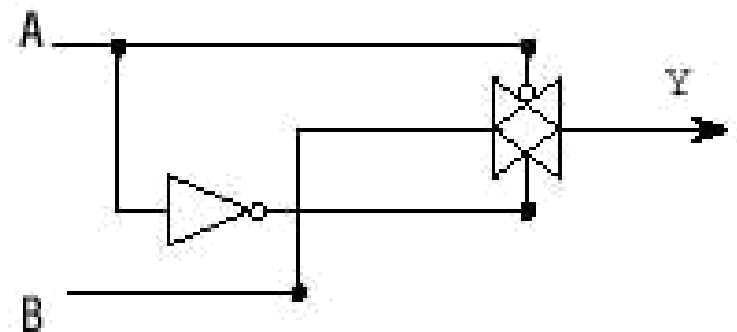
—

Optimasi kedua



A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

$A = 0 \rightarrow Y = B$



2 + 2 = 4 transistors

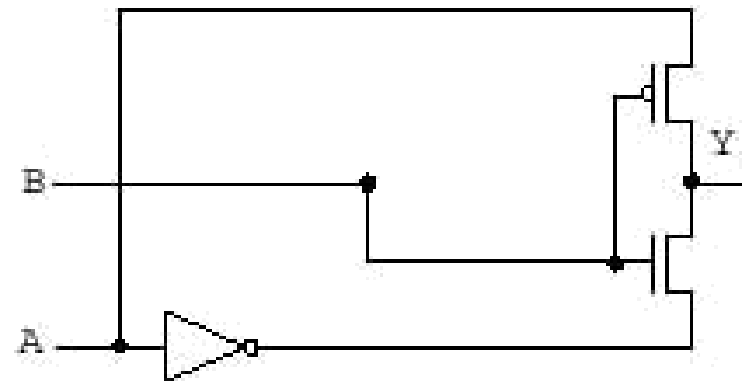
XOR (version TG)



A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

$$A = 1 \quad \longrightarrow \quad Y = \overline{B}$$

XOR adalah inverter !

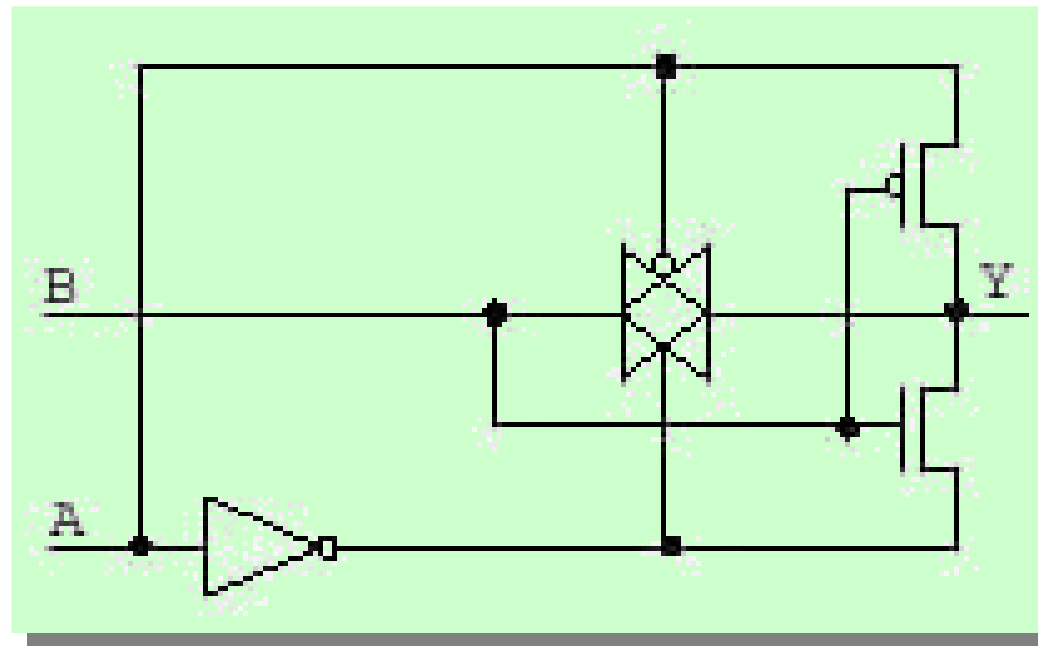


2 + 2 = 4 transistors

XOR (version TG)



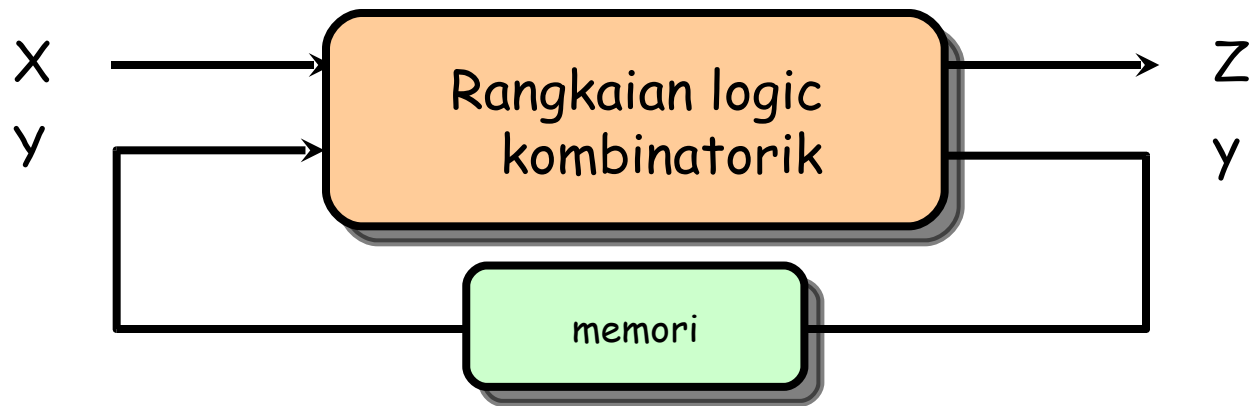
final :



6 transistors

Logic Sequential

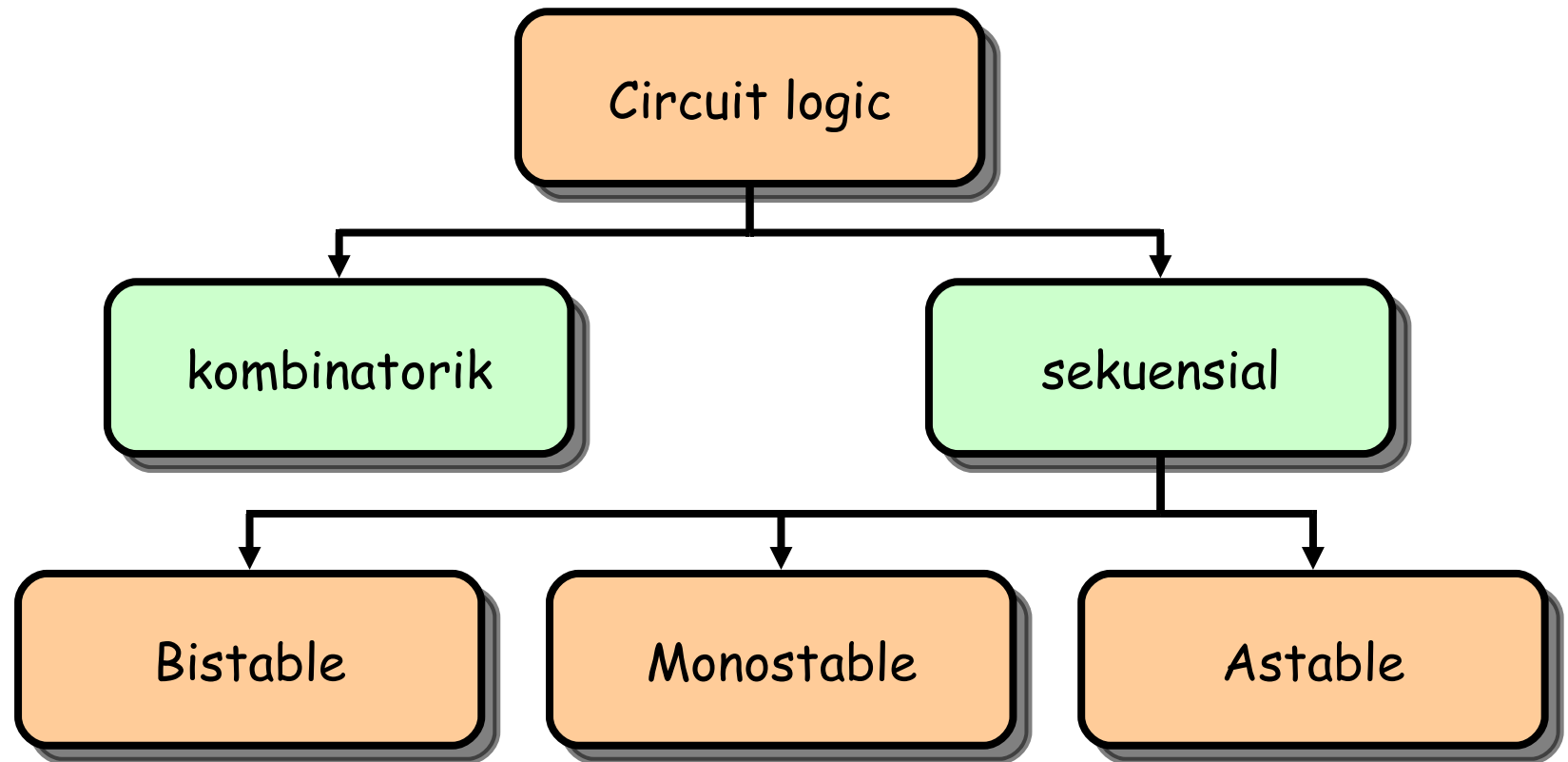
Umum



output ditentukan dari input dan et output sebelumnya

Logic sequential

umum



sistems bistables

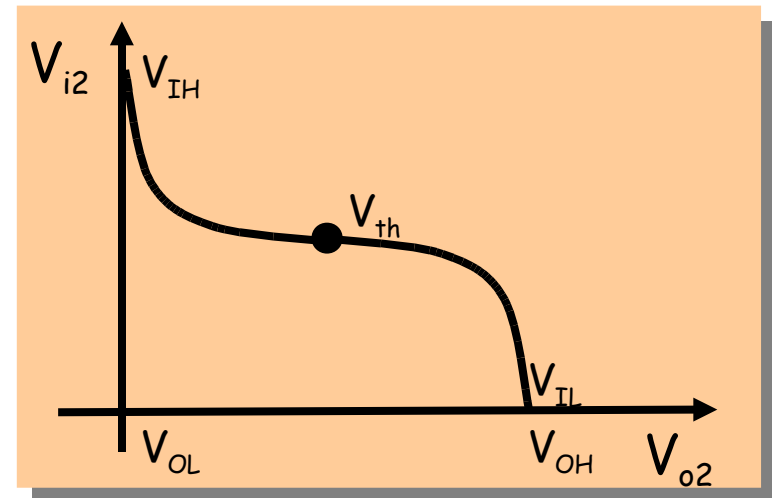
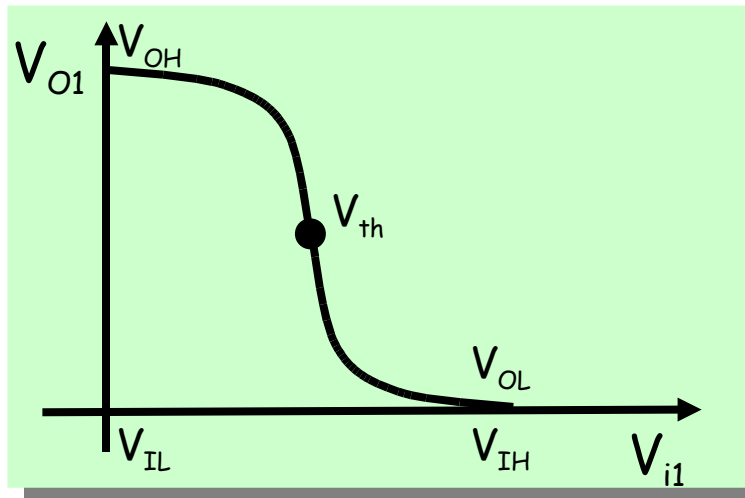
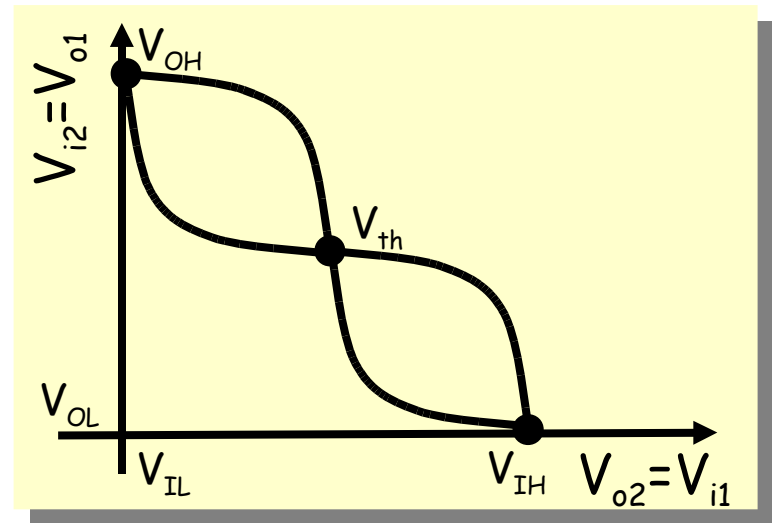
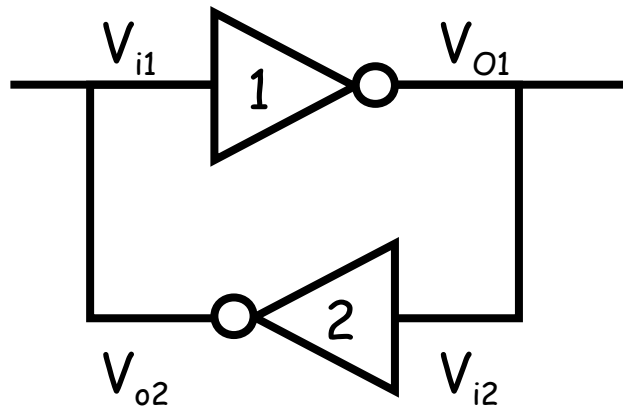
sistem **bistable** mempunyai **2 kondisi stables**

Contoh dalam digital :

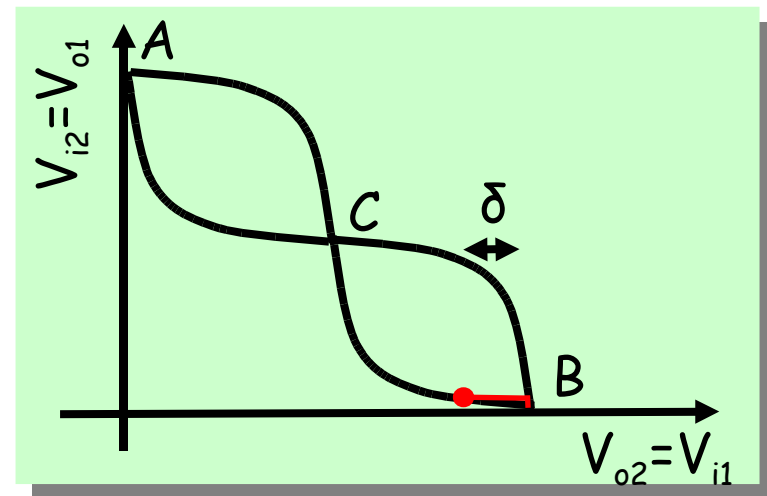
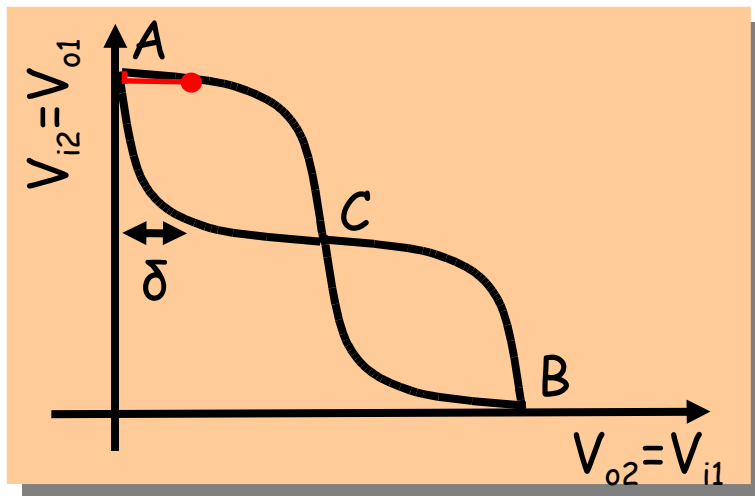
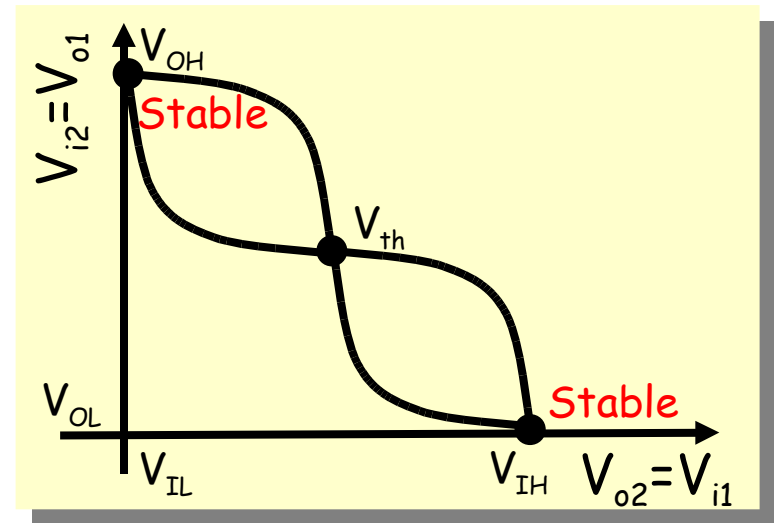
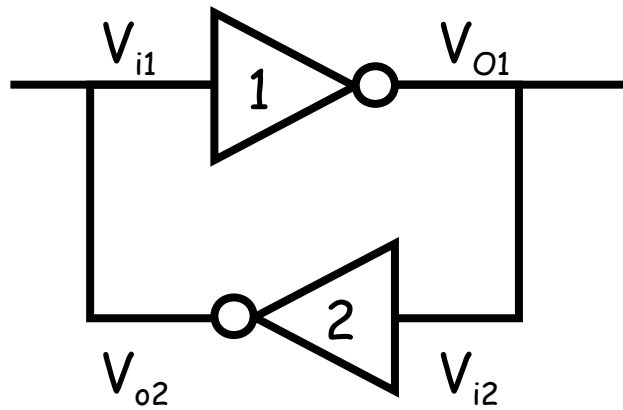
- ✓ (Latch, Flip Flop),
- ✓ **register**,
- ✓ **elemen memori**.

Kita lihat sistem bistable terdiri dari **2 inverter**

Contoh sistem bistable

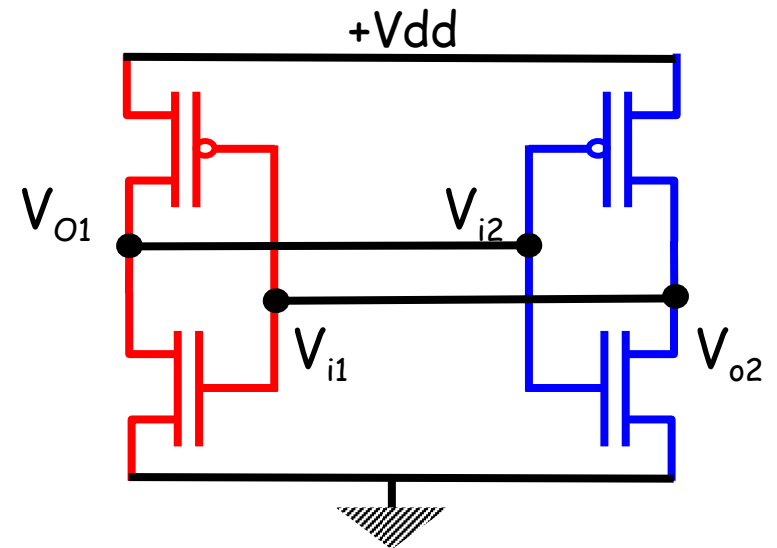
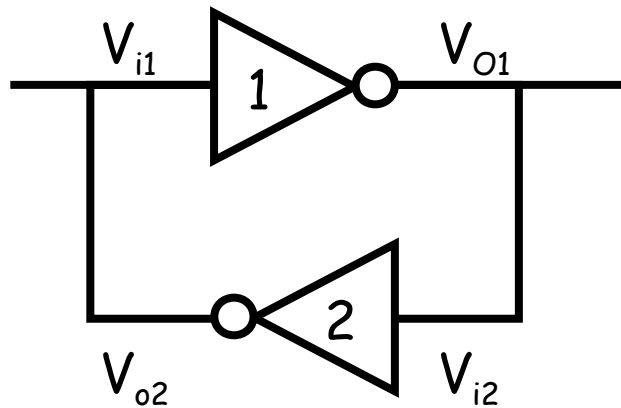


Contoh sistem bistable



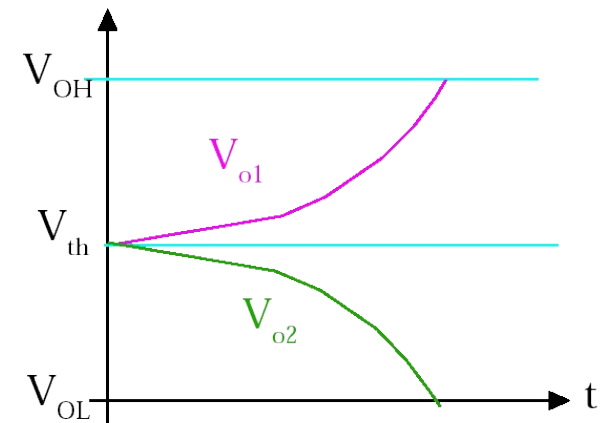
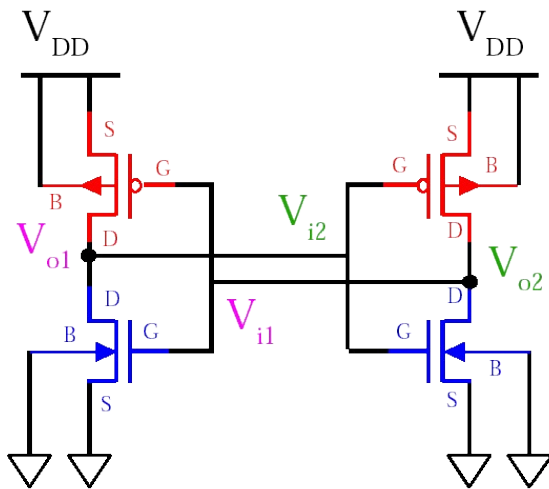
Contoh sistem bistable

Dalam teknologi CMOS



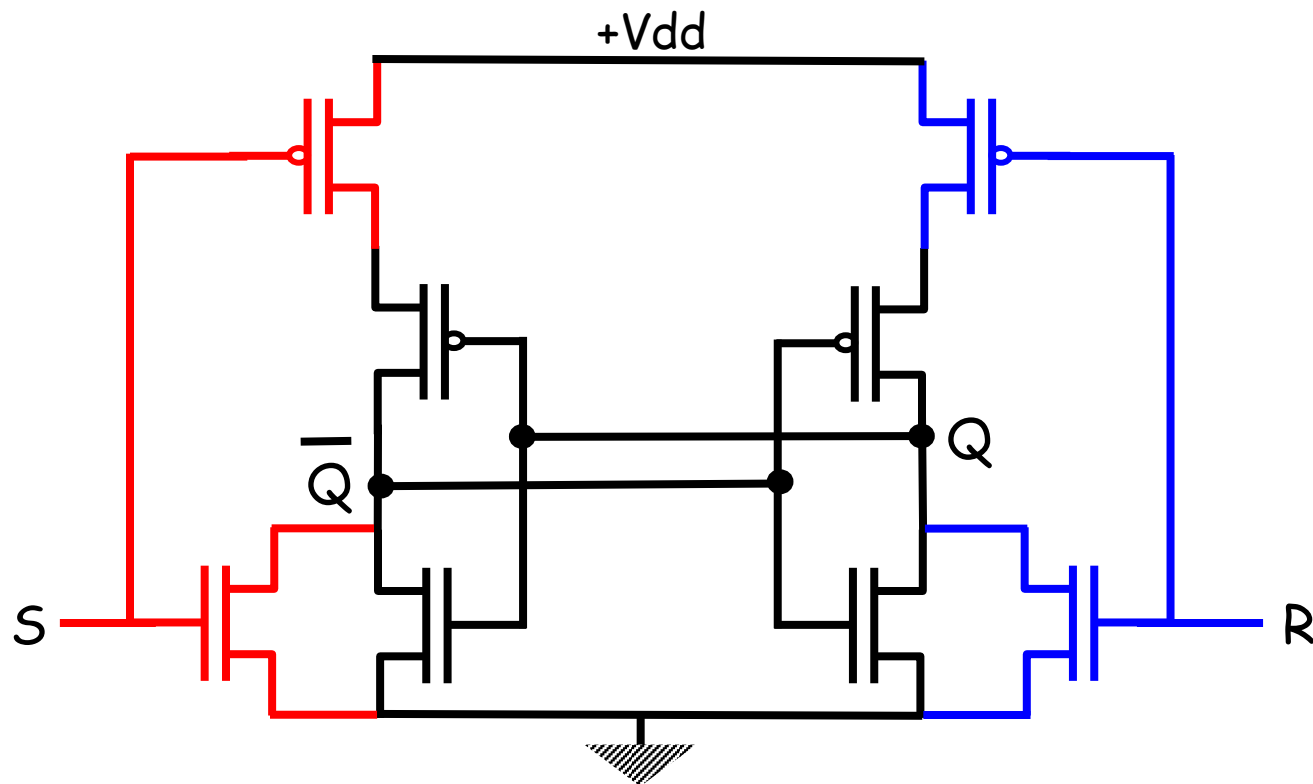
Contoh sistem bistable

Dalam teknologi CMOS



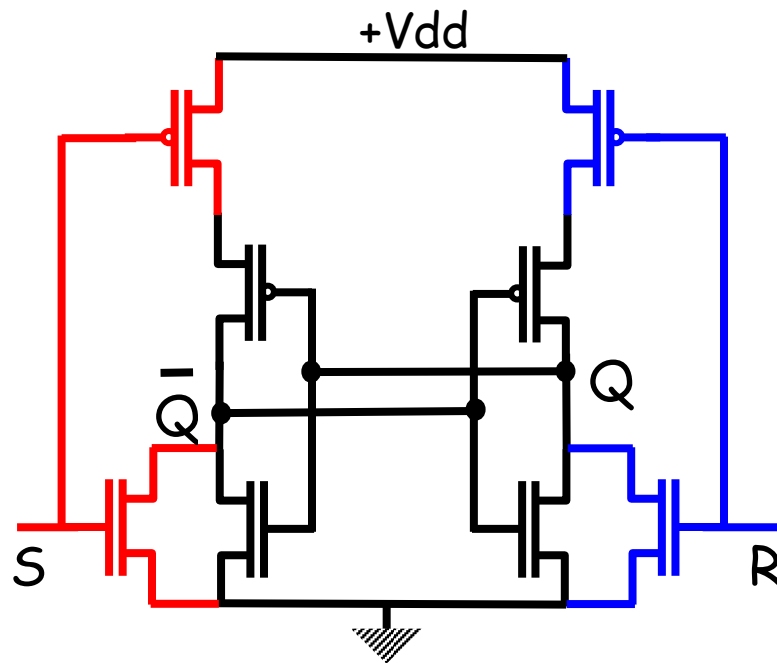
RS flip-flop

Kita modifikasi dari rangkaian sebelumnya



RS flip-flop

prinsip :



✓ 2 input : S dan R

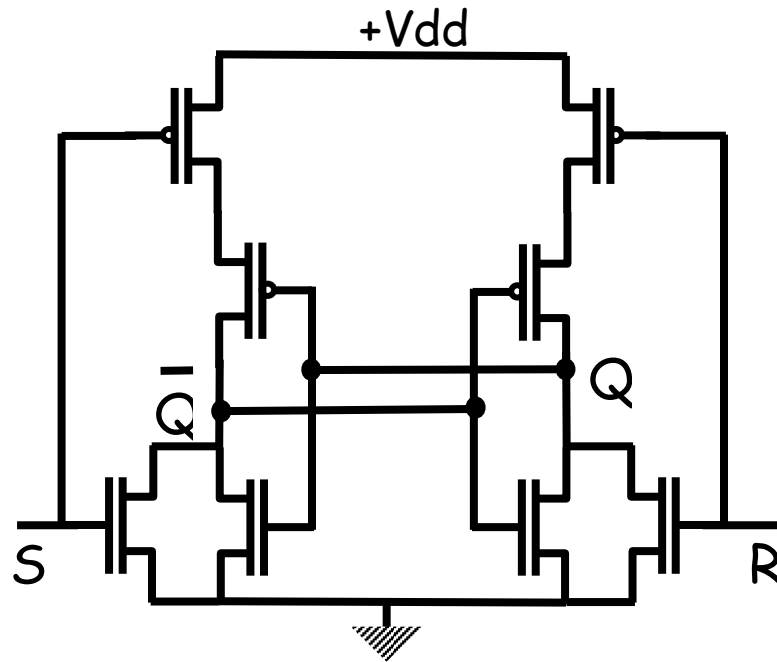
✓ 2 output : Q dan \bar{Q}

RS flip-flop dalam kondisi Set jika $Q=1$ dan $\bar{Q}=0$

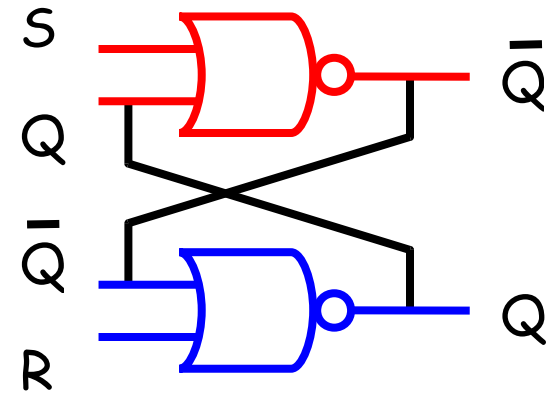
RS flip-flop dalam kondisi Reset jika $Q=0$ dan $\bar{Q}=1$

RS flip-flop

Principe de fonctionnement :

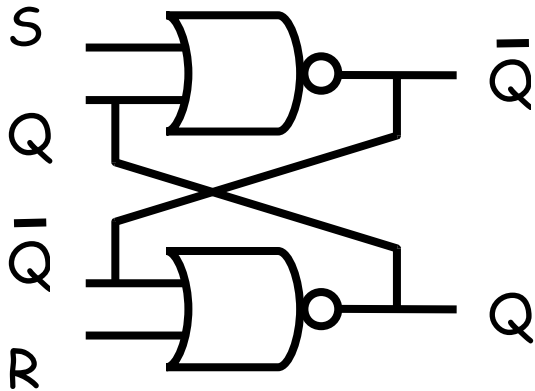


QUIZZ 2 Nmos paralel
2Pmos seri



RS flip-flop

Prinsip dasar :



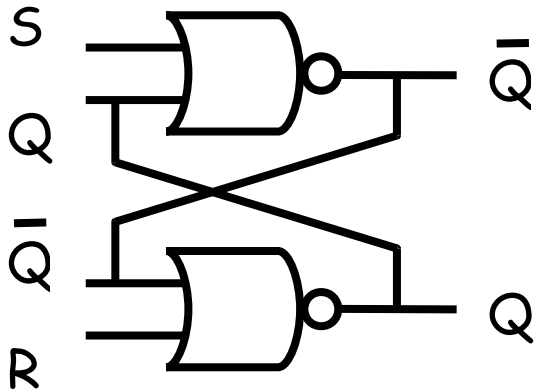
input kontrol **S** dan **R** input langsung yang dipengaruhi aksi langsung dari **Q** dan \bar{Q}

S = 0, R = 0 : Output gerbang NOR sama dengan inverter dari output kedua

(hold) dari kondisi sebelumnya untuk output **Q** et \bar{Q}

RS flip-flop

Prinsip dasar :

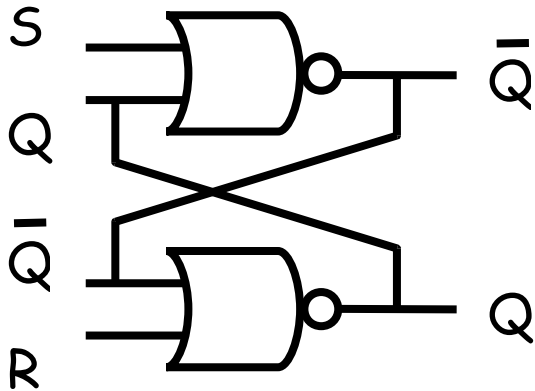


$S = 1, R = 0$: output Q diforce 1 dan output \bar{Q} diforce 0

Flip-flop di « set » sama dengan kondisi sebelumnya

RS Flip-flop

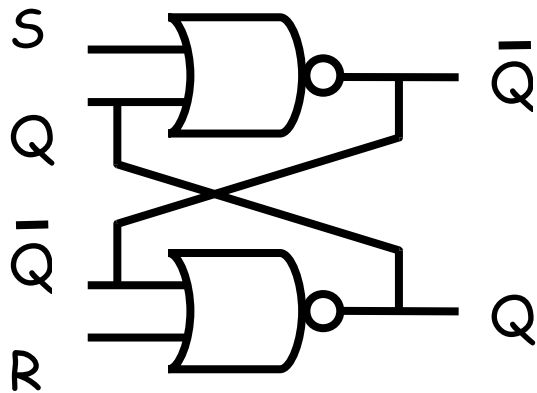
Prinsip dasar :



$S = 0, R = 1$: output Q di force ke 0 dan output \bar{Q} di force ke 1

Flip-flop kondisi « reset »

RS flip-flop



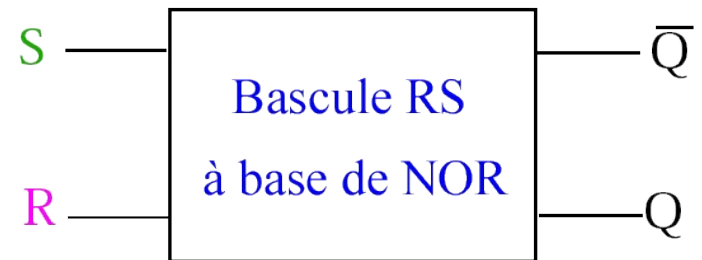
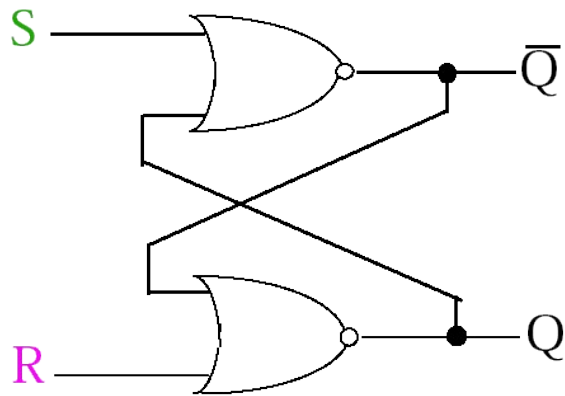
$S = 1, R = 1 :$

output Q di force ke 0 dan output \bar{Q} di force ke 0

Tidak diperbolehkan

RS flip-flop

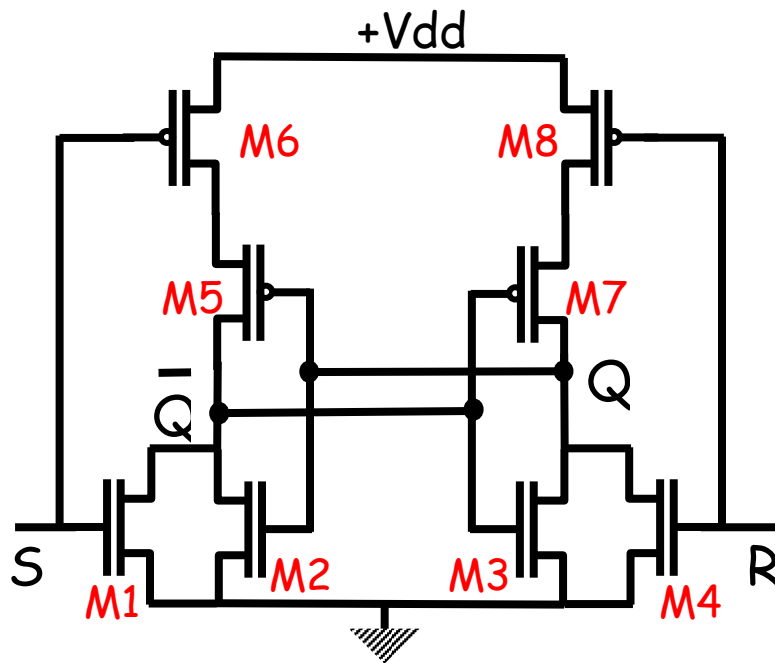
resume :



S	R	Q_{n+1}	\bar{Q}_{n+1}	Operation
0	0	Q_n	\bar{Q}_n	maintien
1	0	1	0	set
0	1	0	1	reset
1	1	0	0	NON Autorisé

RS flip-flop

Dilihat dari transistor :



S	R	Q_n	\bar{Q}_n	transistors
0	0	0	1	M1, M4, M2 block M3 pass
0	0	1	0	M1, M3, M4 block M2 pass
1	0	1	0	M1, M2 pass M3, M4 block
0	1	0	1	M1, M2 block M3, M4 pass
1	1	0	0	M1, M4 pass M2, M3 block