

DESAIN PENCACAH BINER 4-BIT MENGGUNAKAN PRESET RESET SEREMPAK DENGAN INPUT DATA VARIABEL

*Eri Prasetyo W.**

**Staff Pengajar Universitas Gunadarma*

**Mahasiswa S3 pada Laboratorium E2I(Electronique, Informatique et images)*

Universitas Bourgogne - France

Email : prasetyo@u-bourgogne.fr

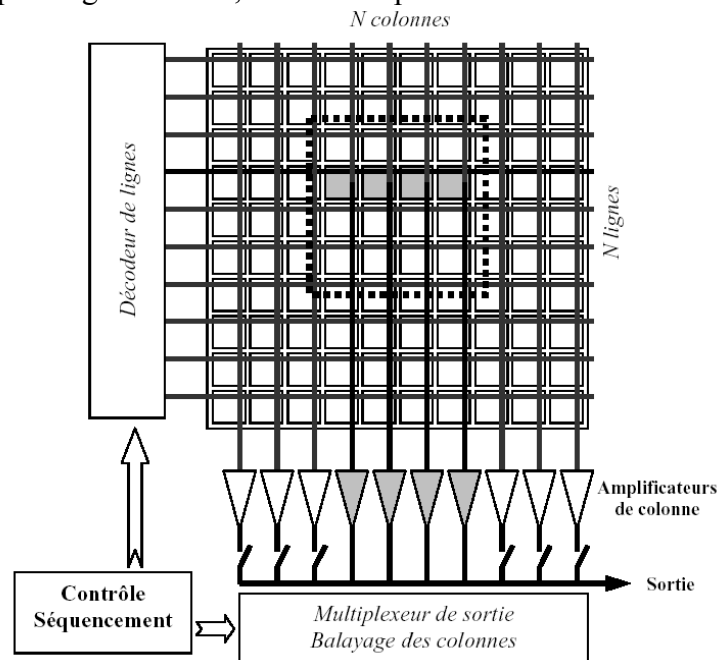
Kata Kunci : Pencacah, Input, Output, Clock, Reset, Preset, Sekuensial

ABSTRAK

Pencacah biner dengan variable input yang telah dirancang akan digunakan untuk mengendalikan decoder dalam pengalamatan jendela matriks pixel sesuai dengan keinginan. Dalam perancangan pencacah ini menggunakan gerbang dasar serta flip-flop jenis D. Untuk menguji rangkaian pencacah, digunakan accusim sebagai alat bantu untuk melakukan simulasi.

1. PENDAHULUAN

Pencacah atau counter merupakan komponen yang sangat penting dan mendasar didalam elektronika digital. Dia dapat berfungsi diantaranya sebagai pengatur operasi sekuensial, pembagi frekuensi, untuk manipulasi matematik.

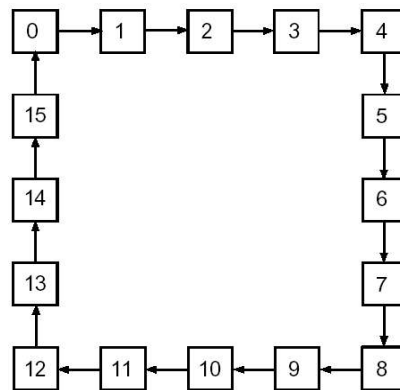


Gambar 1. Pembacaan matriks baris APS

Dalam paper ini pencacah didesain sebagai pengatur dekoder baris dimana setiap keluaran dari dekoder akan mengaktifkan baris pixel. Aplikasi yang akan digunakan ke depan yaitu untuk menscan atau mengaktifkan pixel pada alamat yang kita kehendaki, bisa kita lihat gambar 1[3]. Misal dalam pembacaan pada jendela dengan alamat 0x20 sampai 0x25 pada sumbu x, dan alamat 0x30 sampai 0x35 pada sumbu y.

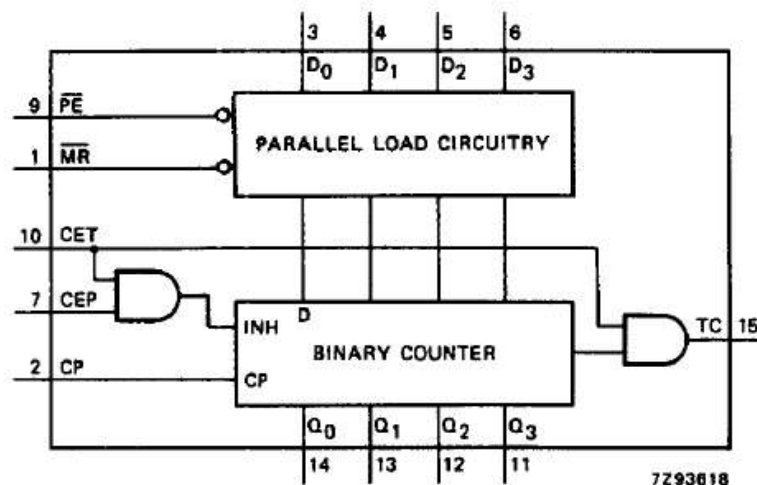
2. BLOK DIAGRAM DASAR

Blok diagram dasar pencacah kita ambil dari jenis 74HC163 [1],[2].



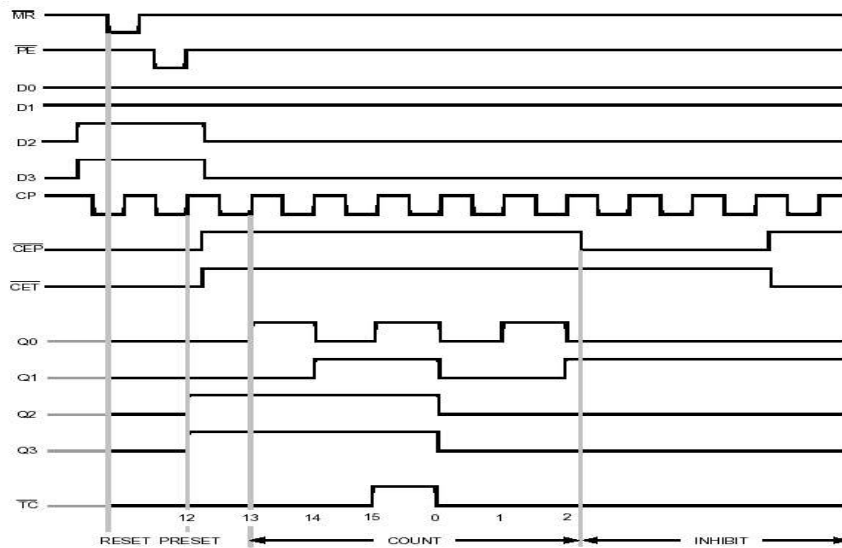
Gambar 2. State Diagram Pencacah

Dari gambar 2, state diagram menggambarkan bahwa pencacah akan mulai mencacah dari nilai apapun yang kita kehendaki dan berakhir tergantung pada CET dan CEP seperti terlihat pada gambar 3. Dengan kata lain CET dan CEP berfungsi sebagai pengaktif hitung.



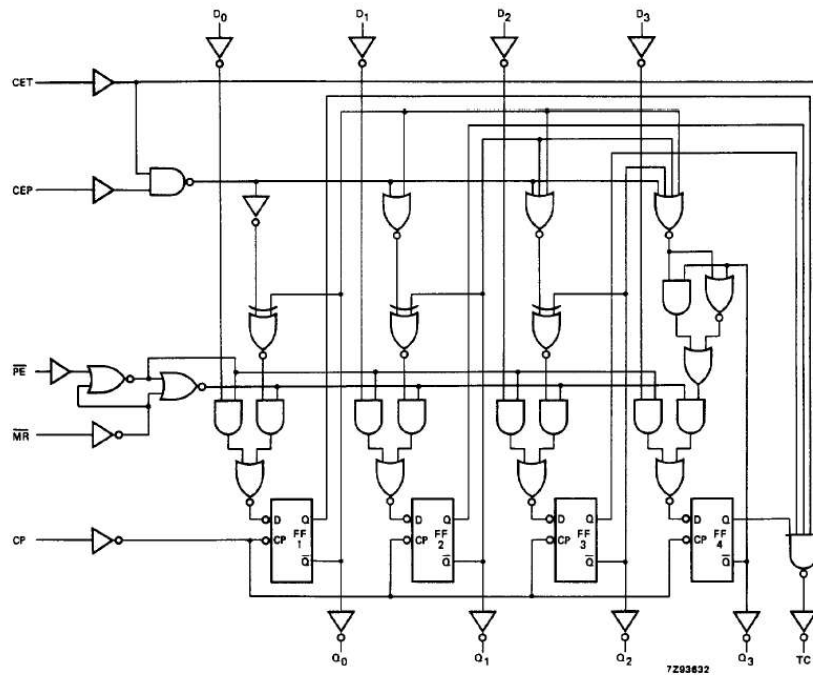
Gambar 3. Diagram Fungsi

Supaya pencacah menghitung terus maka CET dan CEP harus berada pada kondisi tinggi. CP berfungsi sebagai clock, yaitu akan mengaktifkan semua flip-flop. Kondisi rendah pada paralel enable input (\overline{PE}) merupakan disable pada aksi penghitungan dan menyebabkan data pada input data (D₀ – D₃) di load ke dalam pencacah pada kondisi *positive-going edge* pada clock (CP). Kondisi rendah pada master reset input (\overline{MR}) akan menseset semua output dari pencacah ke kondisi rendah setelah transisi *next positive-going* pada clock.



Gambar 4. Diagram waktu sekuensial

Dari gambar 4 tampak jelas \overline{MR} melakukan reset, sehingga tampak data output dalam kondisi rendah sampai \overline{PE} berubah dari kondisi rendah ke tinggi dan saat itu pencacahan dimulai. Pencacahan berakhir ketika CEP berubah dari kondisi tinggi ke rendah. TC berfungsi sebagai tanda pencacah maksimum dalam hal ini 15 dan mulai dari nilai 0 dan seterusnya. Dalam diagram waktu tampak pencacahan dimulai dari 12 dan berakhir pada nilai 2. Rangkaian awal selengkapnya bisa dilihat pada gambar 5.



Gambar 5. Rangkaian pencacah awal

3. RANCANGAN PENCACAH MODIFIKASI

Seperti yang sudah dijelaskan pada pendahuluan, kebutuhan akan pencacah yang akan digunakan harus dapat diatur data inputnya sesuai kebutuhan tanpa menyentuh CET maupun CEP dengan kata lain pengaturan jalanya pencacah akan diatur dari clock dan reset serta data input. Dalam kasus ini kita memodifikasi adanya 2 data input, yaitu data input awal dan data input akhir.

A. Blok Diagram

Rancangan pencacah yang diinginkan seperti tampak pada gambar 6 .

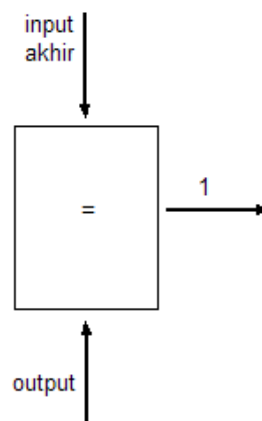


Gambar 6. Blok diagram pencacah yang diinginkan

Ci, berfungsi sebagai input eksternal untuk diaktifkan oleh pencacah sebelumnya. Untuk aktif maka Ci harus bernilai logika 1. Sedangkan Co berfungsi sebagai output eksternal untuk mengaktifkan Ci pada pencacah berikutnya.

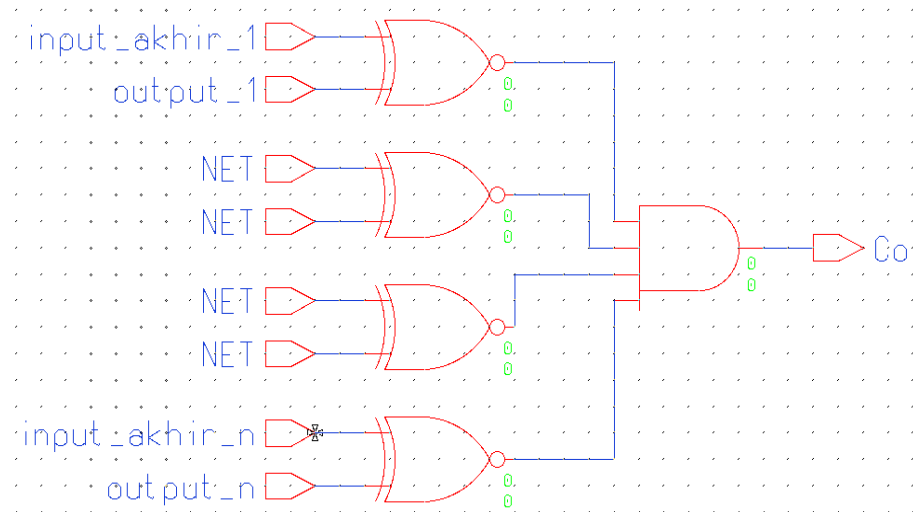
B. Pembandingan Data Input Akhir Dengan Data Output

Pertama yang kita rancang adalah membandingkan nilai data input akhir dengan data output, jika data input akhir dengan data output belum sama maka pencacah akan mencacah terus sampai nilai data input akhir sama dengan nilai data output. Dengan kata lain jika data input akhir sama dengan data output maka akan memberikan nilai 1 yang akan merubah ke kondisi tinggi pada input CEP sehingga pencacahan berhenti.



Gambar 7. Logika Pembandingan

Dari logika pembandingan tersebut, kita mengimplementasikan dalam rangkaian digital seperti tampak pada gambar 8.

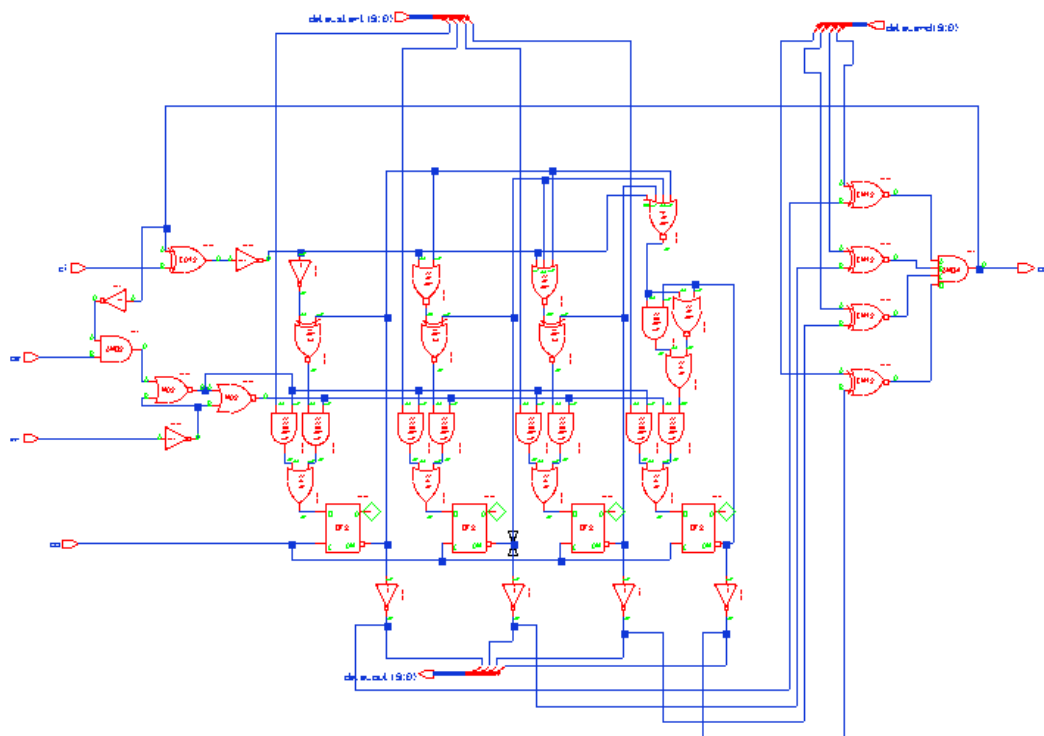


Gambar 8. Rangkaian pembanding input output

C. Pembanding Co Dengan Ci

Hasil pembandingan antara Co dengan Ci digunakan untuk menggantikan fungsi input CEP secara otomatis. Untuk memenuhi hal ini maka Ci dan Co dihubungkan dengan gerbang ex-nor.

4. DESAIN RANGKAIN DAN SIMULASI

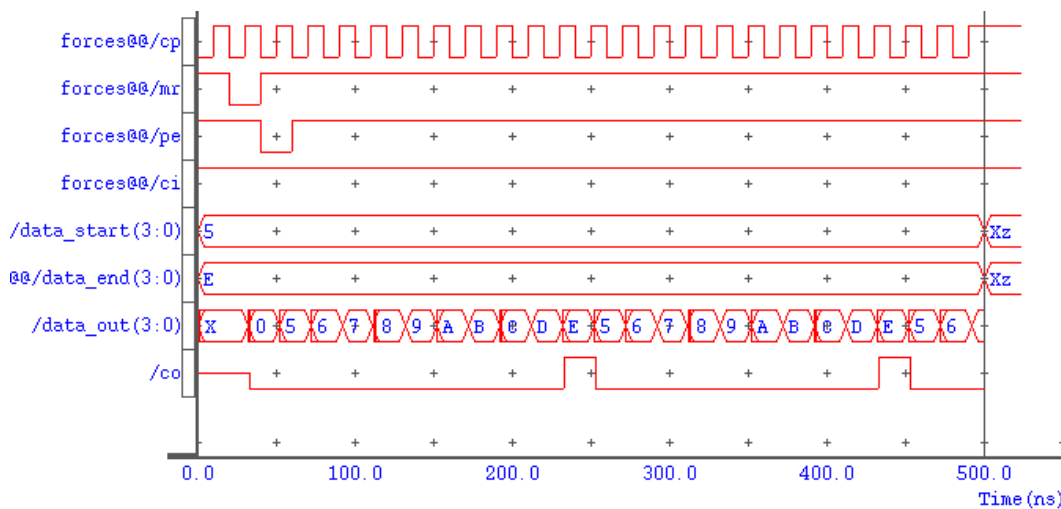


Gambar 9. Rangkaian pencacah dengan variable input

Rangkaian didesain dengan menggunakan perangkat lunak *Mentor Graphics*, didalam mentor graphics ada sub perangkat lunak, diantaranya untuk mendesain rangkain elektronik menggunakan perangkat lunak *Design Architects*, untuk mensimulasi digital menggunakan *QuickSIM*, untuk simulasi analog menggunakan *Accusim*, sedangkan

untuk membuat layout dari rangkaian elektronik menjadi layout bahan untuk diproduksi menjadi bentuk chip digunakan *IC-STATION*.

Gambar 9, merupakan rancangan pencacah yang diinginkan, sedang hasil simulasinya bisa kita lihat pada gambar 10.



Gambar 10. Hasil simulasi rangkaian pencacah

5. PENUTUP

Telah dijelaskan maksud dan tujuan dalam perancangan pencacah dengan variabel input, yaitu untuk kontrol sekuensial dalam sensor capture CMOS. Untuk ke depan pencacah ini akan dibuat dalam bentuk chip terintegrasi dengan matriks pixel.

6. DAFTAR PUSTAKA

- [1] Data Sheet, 74HC/HCT163 Presettable synchronous 4 bit binary counter; Synchronous reset, Philip Semiconductors, 1990.
- [2] Data Sheet, 3.3V CMOS Presettable synchronous 4-bit Binary Counter With Asynchronous Reset, 5 Volt Tolerant I/O, Integrated Device Technology, 1999.
- [3] Jérôme, Goy, Etude, Conception, et Réalisation d'un Capteur d'image APS en Technology Standard CMOS Pour des Applications Faible Flux de Type Visueur d'étoiles, Thèse, Institut National Polytechnique de Grenoble, 2002.
- [4] Tran Tien Lang, Electronique Numerique, Masson, Paris, 1995.
- [5] Serge, Dusausy, Comprendre L'électronique Par La Simulation, Vuibert, 2000.